

#2
3/18/02 400
PATENT
2658-0282P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Su Woong LEE Conf.:
Appl. No.: 10/028,307 Group:
Filed: December 28, 2001 Examiner:
For: LIQUID CRYSTAL DISPLAY DEVICE AND
FABRICATING METHOD THEREOF AND METHOD
OF REPAIRING PIXEL USING THE SAME

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

February 6, 2002

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
KOREA	2001-0024592	May 7, 2001

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By James T. Eller, Jr. #41,458
James T. Eller, Jr., #39,538

182
JTE/SLL/ndb
2658-0282P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment



Su Woong LEE
2658-0282P
10/028,307
December 28, 2001
BSKB, LLP
(703) 205-8000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 24592 호
Application Number PATENT-2001-0024592

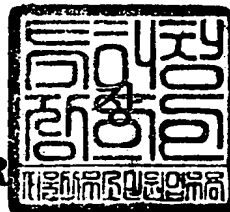
출원년월일 : 2001년 05월 07일
Date of Application MAY 07, 2001

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.

2001 년 10 월 08 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0002
【제출일자】 2001.05.07
【발명의 명칭】 액정표시장치 및 그 제조방법과 이를 이용한 화소 리페어방법
【발명의 영문명칭】 Liquid Crystal Display Device and Fabricating Method Thereof and Method of Repairing Pixel using the same
【출원인】
【명칭】 엘지 .필립스 엘시디 주식회사
【출원인코드】 1-1998-101865-5
【대리인】
【성명】 김영호
【대리인코드】 9-1998-000083-1
【포괄위임등록번호】 1999-001050-4
【발명자】
【성명의 국문표기】 이수웅
【성명의 영문표기】 LEE, Su-Woong
【주민등록번호】 721212-1788620
【우편번호】 730-400
【주소】 경상북도 구미시 구포동 528번지 성원아파트 104동 401호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영호 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	49 면	49,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	78,000 원	

1020010024592

출력 일자: 2001/10/9

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 개구율을 높임과 동시에 리페어효율을 높일 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치는 데이터신호가 공급되는 공통소스전극과, 소정의 메인 채널을 사이에 두고 상기 공통소스전극과 대향하며 제1 수평라인의 액정을 구동하기 위한 제1 화소전극에 접속되는 화소드레인전극과, 스캔신호에 응답하여 상기 메인 채널을 개폐하기 위한 게이트전극을 갖는 메인 박막트랜지스터와, 상기 메인 박막트랜지스터와 공통으로 구비되는 상기 공통소스전극 및 상기 게이트전극과, 소정의 보조채널을 사이에 두고 상기 공통소스전극과 대향하며 제2 수평라인의 액정을 구동하기 위한 제2 화소전극과 중첩되게 형성되어 리페어시 접속되는 리페어용 드레인전극을 갖는 보조 박막트랜지스터를 구비하며, 상기 메인 채널 및 보조 채널을 이루는 활성층은 상기 공통소스전극영역에서 서로 연결된다.

본 발명에 의하면, 리페어시 사용되는 보조 박막트랜지스터의 소스전극과 메인 박막트랜지스터의 소스전극을 공통으로 형성하여 종래의 리페어용 소스전극의 영역만큼 표시영역이 증가되어 고개구율을 구현할 수 있다.

【대표도】

도 3

【명세서】

【발명의 명칭】

액정표시장치 및 그 제조방법과 이를 이용한 화소 리페어방법{Liquid Crystal Display Device and Fabricating Method Thereof and Method of Repairing Pixel using the same}

【도면의 간단한 설명】

도 1은 종래의 액정표시장치를 나타내는 평면도.

도 2는 하나의 화소에 TFT를 두 개 형성한 액정표시장치를 나타내는 평면도.

도 3은 본 발명의 제1 실시 예에 따른 액정표시장치의 평면도.

도 4는 도 3에서 선 'A-A''를 따라 절취한 액정표시장치를 나타내는 단면도.

도 5는 레이저 리페어를 실행한 후 형성되는 액정표시장치를 나타내는 단면도.

도 6a 내지 도 6e는 도 3에 도시된 액정표시장치의 제조방법을 나타내는 평면도.

도 7a 내지 도 7e는 도 4에 도시된 액정표시장치의 제조방법을 나타내는 단면도.

도 8은 본 발명의 제2 실시 예에 따른 액정표시장치의 평면도.

도 9는 도 8에서 선 'B-B''를 따라 절취한 액정표시장치를 나타내는 단면도.

도 10은 레이저 리페어를 실행한 후 형성되는 액정표시장치를 나타내는 단면도.

도 11a 내지 도 11e는 도 8에 도시된 액정표시장치의 제조방법을 나타내는 평면도.

도 12a 내지 도 12e는 도 9에 도시된 액정표시장치의 제조방법을 나타내는 단면도.

도 13은 본 발명의 제3 실시 예에 따른 액정표시장치의 평면도.

도 14는 도 13에서 선 'C-C''를 따라 절취한 액정표시장치를 나타내는 단면도.

도 15는 레이저 리페어를 실행한 후 형성되는 액정표시장치를 나타내는 단면도.

도 16a 내지 도 16d는 도 13에 도시된 액정표시장치의 제조방법을 나타내는 평면도.

도 17a 내지 도 17f는 도 14에 도시된 액정표시장치의 제조방법을 나타내는 단면도.

도 18은 본 발명의 제4 실시 예에 따른 액정표시장치의 평면도.

도 19는 도 18에서 선 'D-D''를 따라 절취한 액정표시장치를 나타내는 단면도.

도 20은 레이저 리페어를 실행한 후 형성되는 액정표시장치를 나타내는 단면도.

도 21a 내지 도 21d는 도 18에 도시된 액정표시장치의 제조방법을 나타내는 평면도.

도 22a 내지 도 22d는 도 19에 도시된 액정표시장치의 제조방법을 나타내는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|--------------------|----------------|
| 1,31 : 투명기판 | 2,32 : 게이트라인 |
| 4,34 : 데이터라인 | 6,36 : 게이트전극 |
| 8,38 : 소스전극 | 10,40 : 드레인전극 |
| 12,42 : 게이트절연막 | 14,44 : 활성층 |
| 16,46 : 오믹접촉층 | 18,48 : 보호막 |
| 20,50 : 접촉홀 | 22,52 : 화소전극 |
| 24,54 : 스토리지전극 | 28 : 리페어용 소스전극 |
| 30,60 : 리페어용 드레인전극 | 62 : 포토레지스트 |
| 64 : 회절마스크 | 66 : 포토레지스트패턴 |

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<33> 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히, 개구율을 높임과 동시에 리페어효율을 높일 수 있는 액정표시장치 및 그 제조방법에 관한 것이다. 또한, 본 발명은 상기 액정표시장치를 이용하여 불량 화소를 리페어하는 방법에 관한 것이다.

<34> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 이 액정패널을 구동하기 위한 구동회로를 구비하게 된다. 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 기준전극, 즉 공통전극이 마련되게 된다. 통상, 화소전극은 하부기판 상에 액정셀별로 형성되는 반면 공통전극은 상부기판의 전면에 일체화되어 형성되게 된다. 화소전극들 각각은 스위치 소자로 사용되는 박막트랜지스터(Thin Film Transistor; TFT)에 접속되게 된다. 화소전극은 박막트랜지스터를 통해 공급되는 데이터신호에 따라 공통전극과 함께 액정셀을 구동하게 된다.

<35> 도 1 을 참조하면, 종래의 액정표시장치의 하부기판(1)은 데이터라인(4)과 게이트라인(2)의 교차부에 위치하는 TFT(T)와, TFT(T)의 드레인전극(10)에 접속된 화소전극(22)과, 화소전극(22)과 전단 게이트라인(2')과 화소전극(22)의 중첩영역에 위치하는 스토리지캐패시터(S)를 구비한다.

<36> TFT(T)는 게이트라인(2)에서 돌출된 게이트전극(6), 데이터라인(4)에서 돌출된 소스전극(8) 및 접촉홀(20)을 통해 화소전극(22)에 접속된 드레인전극(10)을 구비한다. 또한, TFT(T)는 게이트전극(6)과 소스 및 드레인전극(8,10)의 절연을 위한 게이트절연막(도시하지 않음)과, 게이트전극(6)에 공급되는 게이트전압에 의해 소스전극(8)과 드레인전극(10)간에 도통채널을 형성하기 위한 반도체층(14)을 더 구비한다. 이러한 TFT(T)는 게이트라인(2)으로부터의 게이트신호에 응답하여 데이터라인(4)으로부터의 데이터신호를 선택적으로 화소전극(22)에 공급한다.

<37> 화소전극(22)은 데이터라인(4)과 게이트라인(2)에 의해 분할된 셀 영역에 위치하며 광투과율이 높은 ITO(Indium Tin Oxide) 물질로 이루어진다. 화소전극(22)은 하부기관(1) 전면에도포되는 보호막(도시하지 않음) 위에 형성되며, 보호막에 형성된 접촉홀(20)을 통해 드레인전극(10)과 전기적으로 접속된다. 이러한 화소전극(22)은 TFT(T)를 경유하여 공급되는 데이터신호에 의해 상부기관에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기관(1)과 상부기관 사이에 위치하는 액정이 유전이방성에 의해 회전하게 된다. 이 액정은 광원으로부터 화소전극(22)을 경유하여 입사되는 광을 상부기관 쪽으로 투과시키게 된다.

<38> 화소전극(22)과 이전단의 게이트라인(2')의 중첩부분에 형성되는 스토리지 캐패시터(S)는 이전단 게이트라인(2')에 게이트하이전압이 인가되는 기간에 전압을 충전하고, 화소전극(22)에 데이터신호가 공급되는 기간에 충전된 전압을 방전하여 화소전극(22)의 전압변동을 방지하는 역할을 하게 된다. 이와 같이, 스토

리지 캐패시터(S)는 화소전압을 안정적으로 유지시키기 위한 것이므로 그 용량값은 커야만 한다. 이를 위하여, 스토리지 캐패시터(S)는 이전단의 게이트라인(2')과, 게이트절연층을 사이에 두고 그 게이트라인(2')과 중첩되게 형성되어 마련되어진다.

<39> 이러한 액정표시장치는 노멀리 화이트 티엔 모드(Normally White TN Mode)의 액정이 사용될 경우, 소스전극(8)과 드레인전극(10) 사이의 채널에 흠결이 발생하면 전압이 화소전극(22)에 인가되지 않으므로 이 화소셀은 휘점으로 나타나게 된다. 즉, 드레인전극(10)과 소스전극(8)이 오픈된 불량 화소셀은 관측자에게 밝게 나타나게 되므로 이를 리페어(Repair)하여 관측자로 하여금 불량 화소셀을 인지하지 못하게 하여야 한다.

<40> 리페어는 소스전극(8)과 드레인전극(10)사이의 채널 목부분을 레이저로 연결하여 데이터라인(4)으로부터의 화소전극(22)에 공급되는 데이터신호를 항상 인가되게 한다. 다른 방법은 화소전극(22)을 레이저로 용접하려 화소전극(22)을 데이터라인에 직접 연결시키기도 한다.

<41> 이럴 경우 리페어된 불량화소셀 주변의 화소셀들이 정상적인 색을 구현하는 반면 불량화소셀은 실제 원하는 데이터가 입력되지 못하므로 액정표시장치는 완전한 색의 구현이 불가능해진다.

<42> 이러한 액정표시장치의 화상을 향상시키기 위해 메인TFT이외에 리페어용 보조TFT를 두고 메인TFT와 리페어용TFT의 채널을 분리하여 구비한 일본 특개평 02-170614(공개일 : 1990. 7.12)의 액정표시장치가 도 2에 도시되어 있다.

<43> 도 2를 참조하면, 데이터라인(4)으로부터 게이트라인(2)의 방향으로 연장되어 화소전극(22) 하측의 중간정도의 영역에 위치하는 메인TFT(MT)와, 데이터라인(4)과 화소전극(22) 사이에 위치하는 리페어용 TFT(RT)로 이루어져 있다. 메인TFT(MT)는 데이터라인(4)로부터 수평방향(게이트라인방향)으로 연장되어 형성된 소스전극(28)과 화소전극(22)과 접속된 드레인전극(30)을 구비한다. 또한 리페어용TFT(RT)는 데이터라인(4)이 돌출되어 형성된 소스전극(8)과 화소와 연결되어 있지 않은 드레인전극(10)을 가지고 있다.

<44> 메인TFT(T)는 게이트라인(2)으로부터의 게이트신호에 응답하여 데이터라인(4)으로부터의 데이터신호를 선택적으로 화소전극(22)에 공급한다. 화소전극(22)은 데이터라인(4)과 게이트라인(2)에 의해 분할된 셀 영역에 위치하며 TFT를 경유하여 공급되는 데이터신호에 의해 상부기판에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기판(1)과 상부기판 사이에 위치하는 액정이 유전이방성에 의해 회전하게 되며 광원으로부터 화소전극(22)을 경유하여 입사되는 광을 상부기판쪽으로 투과시키게 된다.

<45> 만일 메인TFT(MT)가 불량인 경우 메인TFT(MT)의 드레인전극(28)과 데이터라인(4) 사이를 레이저로 절단하여 데이터라인(4)으로부터의 데이터신호가 화소전극(22)에 공급되지 않도록 한다. 그런 다음 화소전극(22)과 리페어용 드레인전극(10)이 접촉되도록 화소전극(22)을 레이저로 용접한다. 이로 인해 데이터라인(4)으로부터의 데이터신호가 리페어용 소스전극(8) 및 리페어용 드레인전극(10)을 가진 리페어용 TFT를 통해 화소전극(22)에 공급되어 불량화소셀은 정상색을 구현할 수 있게 된다.

- <46> 이러한 액정표시장치의 TFT리페어 구조는 다음과 같은 문제점이 있다.
- <47> 채널에 단선된 불량화소셀을 리페어할 때 레이저로 자르기 위하여 메인 TFT(MT)의 소스전극(28)이 데이터라인(4)에서 게이트라인(2)을 따라 길게 형성된다. 이로 인해 금속으로 소스전극(28)이 형성되는 영역만큼 표시영역이 줄어들어 개구율이 작아지며 전단 게이트라인과 화소전극을 중첩시켜 스토리지 커패시터(Storage Capacitor)를 형성하기 어려운 문제점이 있다.
- <48> 또한 데이터라인(4)은 라인형태로 세로로 형성되고 TFT의 소스는 그 라인으로부터 돌출되어 형성되는데, 메인TFT(MT)와 리페어용TFT(RT)의 소스가 별도의 영역에 별도로 형성되어 각각의 영역을 차지하므로 이 역시 개구율을 감소시키는 요인으로 작용한다. 즉 하나의 화소영역상에 데이터라인(4)에서 분기된 소스전극이 2개가 필요하고 그 소스전극들을 위하여 공간이 필요하므로 상대적으로 화소전극의 크기가 작아진다.
- <49> 한편, 도 2와 같이 리페어용TFT(RT)에서는 드레인(10)과 화소전극(22)이 평면적으로 분리되어 있는 구조에서는 리페어를 위하여 드레인과 화소전극을 레이저로 연결하는 공정이 어렵고 그 과정에서 게이트전극이나 반도체층이 손상될 우려가 있다.

【발명이 이루고자 하는 기술적 과제】

- <50> 따라서, 본 발명의 목적은 리페어효율과 개구율을 동시에 높일 수 있는 액정표시장치 및 그 제조방법을 제공하는 데 있다.

<51> 본 발명의 다른 목적은 상기 액정표시장치를 이용하여 불량 화소를 리페어하는 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<52> 상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시장치는 데이터 신호가 공급되는 공통소스전극과, 소정의 메인 채널을 사이에 두고 상기 공통소스전극과 대향하며 제1 수평라인의 액정을 구동하기 위한 제1 화소전극에 접속되는 화소드레인전극과, 스캔신호에 응답하여 상기 메인 채널을 개폐하기 위한 게이트전극을 갖는 메인 박막트랜지스터와, 상기 메인 박막트랜지스터와 공통으로 구비되는 상기 공통소스전극 및 상기 게이트전극과, 소정의 보조채널을 사이에 두고 상기 공통소스전극과 대향하며 제2 수평라인의 액정을 구동하기 위한 제2 화소전극과 중첩되게 형성되어 리페어시 접속되는 리페어용 드레인전극을 갖는 보조 박막트랜지스터를 구비하며, 상기 메인 채널 및 보조 채널을 이루는 활성층은 상기 공통소스전극영역에서 서로 연결된다.

<53> 상기 목적들을 달성하기 위한 본 발명에 따른 액정표시장치는 기판 상에 상기 게이트전극 및 게이트라인을 덮도록 형성되는 게이트절연막과, 상기 게이트절연막상에 형성되는 반도체층과, 상기 공통소스전극, 화소드레인전극 및 리페어용 드레인전극을 덮도록 상기 게이트절연막 상에 전면 형성되는 보호층과, 상기 화소드레인전극과 상기 화소전극을 전기적으로 접촉되도록 상기 보호층 상에 형성되는 접촉홀을 구비한다.

- <54> 상기 반도체층은 상기 메인 박막트랜지스터, 보조 박막트랜지스터 및 데이터라인의 주변영역에 형성되는 것을 특징으로 한다.
- <55> 상기 반도체층은 상기 메인 박막트랜지스터 및 보조 박막트랜지스터의 주변영역에 형성되는 것을 특징으로 한다.
- <56> 상기 목적들을 달성하기 위한 본 발명에 따른 액정표시장치는 기판 상에 상기 게이트전극 및 게이트라인을 덮도록 형성되는 게이트절연막과, 상기 게이트절연막 상에 형성되는 반도체층과, 상기 공통소스전극, 화소드레인전극 및 리페어용 드레인전극을 덮도록 상기 게이트절연막 상에 전면 형성되는 보호층과, 상기 화소드레인전극과 상기 화소전극을 전기적으로 접촉되도록 상기 보호층 상에 형성되는 접촉홀을 구비하며, 상기 공통소스전극과 상기 화소드레인전극 및 상기 리페어용 드레인전극은 상기 반도체층과 동시에 패터닝되는 것을 특징으로 한다.
- <57> 상기 반도체층은 상기 메인 박막트랜지스터, 보조박막트랜지스터 및 데이터라인의 주변영역에 형성되는 것을 특징으로 한다.
- <58> 상기 반도체층은 상기 메인 박막트랜지스터 및 보조박막트랜지스터의 주변영역에 형성되는 것을 특징으로 한다.
- <59> 상기 목적들을 달성하기 위한 본 발명에 따른 액정표시장치의 제조방법은 기판 상에 게이트라인 및 게이트전극을 형성하는 단계와, 상기 기판 상에 게이트절연막을 형성하는 단계와, 상기 게이트절연막 상에 반도체층을 형성하는 단계와, 상기 게이트절연막 상에 데이터라인 및 공통소스전극을 형성함과 아울러 상기 공통소스전극에 대향되게 형성되어 상기 반도체층 내에 메인 박막트랜지스

터의 메인 채널과 보조 박막트랜지스터의 보조채널이 동시에 존재하게끔 화소드레인전극 및 리페어용 드레인전극을 형성하는 단계와, 상기 공통소스전극, 화소드레인전극 및 리페어용 드레인전극을 덮도록 상기 게이트절연막 상에 보호층을 형성하는 단계와, 상기 보호층 상에 상기 화소드레인전극과 전기적으로 접촉되며 상기 리페어용 드레인전극과 중첩되게 화소전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<60> 상기 메인 박막트랜지스터 및 보조 박막트랜지스터의 게이트전극은 상기 공통소스전극영역에서 일체화되는 것을 특징으로 한다.

<61> 상기 반도체층은 상기 메인 박막트랜지스터, 보조 박막트랜지스터 및 데이터라인의 주변영역에 형성되는 것을 특징으로 한다.

<62> 상기 반도체층은 상기 메인 박막트랜지스터 및 보조 박막트랜지스터의 주변영역에 형성되는 것을 특징으로 한다.

<63> 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조방법은 기판 상에 게이트라인 및 게이트전극을 형성하는 단계와, 상기 기판 상에 상기 게이트전극 및 게이트라인을 덮도록 게이트절연막을 형성하는 단계와, 상기 게이트절연막 상에 반도체물질 및 금속층을 증착한 후 동시에 패터닝하여 반도체층, 공통소스전극 및 데이터라인을 형성함과 아울러 상기 공통소스전극에 대향되게 형성되어 상기 반도체층 내에 메인 박막트랜지스터의 메인채널과 보조 박막트랜지스터의 보조채널이 동시에 존재하게끔 화소드레인전극과 리페어전극을 형성하는 단계와, 상기 공통소스전극, 화소드레인전극 및 리페어용 드레인전극을 덮도록 상기 게이트절연막 상에 보호층을 형성하는 단계와, 상기 보호층 상에 화소드레

인전극과 전기적으로 접촉되며 리페어용 드레인전극과 중첩되게 화소전극을 형성하는 단계를 포함한다.

<64> 상기 메인 박막트랜지스터 및 보조 박막트랜지스터의 게이트전극은 상기 공통소스전극영역에서 일체화되는 것을 특징으로 한다.

<65> 상기 반도체층은 상기 메인 박막트랜지스터, 보조 박막트랜지스터 및 데이터라인의 주변영역에 형성되는 것을 특징으로 한다.

<66> 상기 반도체층은 상기 메인 박막트랜지스터, 보조 박막트랜지스터의 주변영역에 형성되는 것을 특징으로 한다.

<67> 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 리페어방법은 제1 수평라인의 화소전극에 구동용 화소드레인전극이 접속됨과 아울러 제2 수평라인의 화소전극에 중첩되는 리페어용 드레인전극을 포함하는 박막용 트랜지스터를 마련하는 단계와, 상기 수평라인들에 포함된 불량화소를 감지하는 단계와, 상기 불량화소의 구동용 드레인전극의 일부를 개방시키는 단계와, 상기 리페어용 드레인전극을 상기 불량화소의 화소전극에 접속시킴으로써 정상화소와 동일한 색의 데이터가 상기 불량화소의 화소전극에 공급되게 하는 단계를 포함한다.

<68> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<69> 이하, 도 3 내지 도 22d를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<70> 도 3 및 도 4를 참조하면, 본 발명의 제1 실시 예에 따른 액정표시장치의 하부기판(31)은 데이터라인(34)과 게이트라인(32)의 교차부에 위치하는 듀얼채널 TFT(Dual Channel TFT)(DT)를 가지고 있다. 듀얼채널TFT(DT)는 데이터라인(34)과 연결된 하나의 공통소스전극(38)을 가지고, 화소드레인전극(40)과 리페어용 드레인전극(60)이 공통소스전극(38)의 주변부에 형성되며, 화소드레인전극(40) 및 리페어용 드레인전극(60)과 공통소스전극(38)사이에 각각의 채널(Channel)이 형성되어 있는 구조를 가지고 있다. 액정표시장치의 TFT는 정(+)의 데이터를 입력할 때는 데이터라인(34)으로부터 화소전극(52)으로 전류가 흐르고, 부(-)의 데이터를 입력할 때는 전류가 화소로부터 데이터라인(34)으로 흐르므로 입력데이터의 종류에 따라 소스와 드레인이 달라진다. 그러나 본 발명에서는 편의상 TFT의 게이트단자 이외의 두 단자 중 데이터라인(34)에 연결된 전극을 소스전극(38)라 하고 화소전극(52)에 연결된 전극을 화소드레인전극(40)이라 한다.

<71> 듀얼채널TFT(DT)는 게이트라인(32)에서 돌출된 게이트전극(36), 데이터라인(34)에서 돌출된 공통소스전극(38) 및 보호막(48)의 제1 접촉홀(50a)을 통해 화소전극(52)에 접속된 화소드레인전극(40)을 구비한다. 또한, 듀얼TFT(DT)는 게이트전극(36)으로부터 공통소스전극(38), 화소드레인 전극(40) 및 리페어용드레인전극(60)의 절연을 위한 게이트절연막(42)과, 게이트전극(36)에 공급되는 게이트전압에 의해 공통소스전극(38)과 화소드레인전극(40)간에 도통채널을 형성하기 위한 반도체층(44)을 더 구비한다. 이러한 듀얼TFT(DT)는 게이트라인(32)으로부터의 게이트신호에 응답하여 데이터라인(34)으로부터의 데이터신호를 선택적으로 화소전극(52)에 공급한다.

<72> 화소전극(52)은 데이터라인(34)과 게이트라인(32)에 의해 분할된 셀 영역에 위치하며 광투과율이 높은 ITO(Indium Tin Oxide) 물질로 이루어진다. 화소전극(52)은 하부기판 전면에 도포되는 보호막(48) 위에 형성되며, 보호막(48)에 형성된 제1 접촉홀(50a)을 통해 화소드레인전극(40)과 전기적으로 접속된다. 이러한 화소전극(52)은 듀얼TFT(DT)를 경유하여 공급되는 데이터신호에 의해 상부기판에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기판(31)과 상부기판 사이에 위치하는 액정이 유전이방성에 의해 회전하게 되며 광원으로부터 화소전극(52)을 경유하여 입사되는 광을 상부기판 쪽으로 투과시키게 된다.

<73> 화소전극(52)과 전단의 게이트라인(32)의 중첩부분에 형성되는 스토리지 캐패시터(S)는 전단 게이트라인(32)에 게이트하이전압이 인가되는 기간에 전압을 충전하고, 다음 프레임의 데이터가 입력되기까지 충전된 전압을 유지하여 화소전극(52)의 전압변동을 방지하는 역할을 하게 된다. 이와 같이, 스토리지 캐패시터(S)는 화소전압을 안정적으로 유지시키기 위한 것이므로 그 용량값은 커야만 한다. 이를 위하여, 스토리지 캐패시터(S)는 전단의 게이트라인(32)과, 게이트절연층(42)을 사이에 두고 그 게이트라인(32)과 중첩되게 형성되며 보호막(48)에 형성된 제2 접촉홀(50b)을 통해 화소전극(52)과 전기적으로 접속되는 스토리지전극(54)에 의해 스토리지 캐패시터(S)를 이루는 두 도전체 단자사이의 거리를 감소시킴으로서 용량을 크게 할 수 있다. 스토리지전극(54)은 데이터라인(34), 소스전극 및 화소드레인 전극(38,40) 형성시 게이트절연층(42)과 보호막(48) 사이에 형성하게 된다. 전단의 게이트라인을 스토리지 캐패시터(S)의 한 단자를 이

루게 하는 구조에서는 화소와 전단 게이트라인과의 중첩되는 영역을 크게 하는 것이 중요하다. 하나의 화소에 리페어용 TFT를 추가로 구비하여야 하는 경우에는 본 실시 예와 같은 듀얼채널 TFT(DT)를 적용함으로써 스토리지 커패시터(S)형성 영역을 충분히 확보할 수 있다.

<74> 공통소스전극(38)은 화소드레인전극(40)의 주위를 감싸서 U자형의 채널을 형성하도록 되어 있다. 이는 채널 폭을 넓게 하여 전류의 흐름을 좋게 하기 위함이다.

<75> 리페어용 드레인전극(60)은 공통소스전극(38)의 화소전극(52)과 마주하는 변 이외에 보조채널을 사이에 두고 형성된다. 이 리페어용 드레인전극(60)은 TFT의 반도체층(44) 상에 화소전극과 중첩되게 형성된다. 리페어용 드레인전극(60)은 정상화소셀일 경우에는 동작하지 않고 불량화소셀이 발생시에 레이저로 화소전극(52)과 연결시킴으로서 동작하게 된다.

<76> 듀얼채널TFT(DT)의 채널에 단선불량이 발생하면 레이저를 이용하여 듀얼채널TFT(DT) 채널의 목부분이 절단시켜 데이터라인(34)으로부터의 데이터신호는 화소전극(52)에 공급되지 못하도록 한다. 그런 다음, 전단 듀얼채널TFT(DT)의 리페어용 드레인전극(60)과 화소전극(52)이 중첩되는 부분을 레이저로 용융하면 두 전극사이의 보호막(48)도 동시에 용융되어 리페어용 드레인전극(60)이 노출된다. 용융된 화소전극(52)이 하부로 흘러들어가 도 5에 도시된 바와 같이 화소전극(52)과 전단 듀얼채널TFT의 리페어용 드레인전극(60)이 전기적으로 접촉된다. 이로 인해 전단 화소전극에 입력되는 데이터신호가 전단 게이트라인의 하이펄스인가시 화소전극(52)에 공급되어 불량화소셀은 이전단과 동일한 색을 구현하게

된다. 일반적으로 인접하는 화소간의 데이터의 크기는 비슷하므로 전단화소의 데이터를 입력함에 의하여 불량화소는 눈에 띄지 않는다. 이 경우, 실질적으로 두 개의 TFT의 역할을 할 수 있는 구조를 가지면서 소스전극을 공통소스전극(38) 하나만을 형성해도 되므로 소스전극이 차지하는 면적을 줄일 수 있어 표시영역의 비율 즉, 개구율이 증가된다.

<77> 도 3에 도시된 액정표시장치의 제조방법을 도 6a 내지 도 7e를 가지고 설명 하겠다.

<78> 도 6a 및 7a를 참조하면, 기판(31) 상에 게이트라인(32) 및 게이트전극(36) 이 형성된다.

<79> 게이트전극(36) 및 게이트라인(32)은 스퍼터링(sputtering) 등의 증착방법 으로 알루미늄(Al) 또는 구리(Cu) 등을 증착한 후 제1 마스크로 패터닝함으로써 형성된다.

<80> 도 6b 및 도 7b를 참조하면, 게이트절연막(42) 상에 활성층(44) 및 오믹접 촉층(46)이 형성된다.

<81> 게이트절연막(42)은 게이트전극을 덮도록 절연물질을 PECVD(Plasma Enhanced Chemical Vapor Deposition)방식으로 전면 증착하여 형성된다. 활성층(44) 및 오믹접촉층(46)은 게이트절연막(42) 상에 반도체물질을 적층하고 제2 마스크로 패터닝함으로써 형성된다.

<82> 게이트절연막(42)은 질화실리콘(SiN_x) 또는 산화실리콘(SiO_x) 등의 절연물질로 형성된다. 활성층(44)은 불순물이 도핑되지 않은 비정질실리콘으로 형성된

다. 또한, 오믹접촉층(46)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질 실리콘으로 형성된다.

<83> 도 6c 및 도 7c를 참조하면, 게이트절연막(42) 상에 데이터라인(34), 스토리지전극(54), 공통소스전극(38), 화소드레인전극(40) 및 리페어용 드레인전극(60)이 형성된다.

<84> 데이터라인(34), 스토리지전극(54), 공통소스전극(38), 화소드레인전극(40) 및 리페어용 드레인전극(60)은 CVD방법 또는 스퍼터링(sputtering)방법으로 금속층을 전면 증착한 후 제3 마스크로 패터닝함으로써 형성된다. 화소드레인전극(40)과 스토리지전극(54)의 에지(edge)에 빗모양의 돌출부(L)를 형성하는 것은 전극 에지에서의 단차로 인한 화소전극(40)의 물량을 방지하기 위함이다. 그 후 게이트전극(36)과 대응하는 부분의 오믹접촉층(46)도 패터닝하여 활성층(44)을 노출시킨다. 즉 공통소스전극(38)과 화소드레인전극(40)사이의 공간 및 공통소스전극(38)과 리페어용 드레인전극(60)간의 공간의 활성층(44)을 제거하여 채널을 형성한다. 활성층(44)에서 공통소스전극(38) 및 화소드레인전극(40)사이의 게이트전극(36)과 대응하는 부분은 채널이 되며 활성층(44)에서 공통소스전극(38) 및 리페어용 드레인전극(60)사이의 게이트라인(32)과 대응하는 부분은 보조채널이 된다. 이로서 공통소스전극(38)을 소스로 하고 화소드레인전극(40)을 드레인으로 하는 메인TFT와, 공통소스전극(38)을 소스전극으로 하고 리페어용 드레인전극(60)을 드레인으로 하는 보조(리페어용)TFT가 완성된다. 메인TFT와 보조TFT의 소스로 작용하는 전극은 공통으로 사용되며, 두 TFT의 게이트단자와 활성층(44)인 비정질실리콘은 공통소스단자 아래를 통하여 서로 연결되어 형성됨

으로써 듀얼채널TFT(DT)가 차지하는 영역의 크기를 줄일 수 있다. 게이트라인 (32)으로부터 한번만 돌출된 게이트전극(36)으로 두 개의 TFT의 게이트역할을 할 수 있는 구조이다.

<85> 데이터라인(4), 스토리지전극(54), 공통소스전극(38), 화소드레인전극(40) 및 리페어용 드레인전극(60)은 크롬(Cr) 또는 몰리브덴(Mo)등으로 형성된다.

<86> 도 6d 및 도 7d를 참조하면, 채널영역, 화소드레인전극(40), 리페어용 드레인전극(60), 공통소스전극(38) 및 노출된 게이트절연층(42)을 덮도록 보호층(48)이 형성되며, 화소드레인전극(40)과 스토리지전극(54)상의 보호막에 제1 및 제2 접촉홀(50a, 50b)이 각각 형성된다.

<87> 제1 및 제2 접촉홀(50a, 50b)은 제4 마스크로 패터닝함으로써 형성된다.

<88> 보호층(48)은 질화실리콘(SiNx), 산화실리콘(SiOx) 등의 무기절연물질, 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane) 등의 유전상수가 작은 유기절연물로 형성된다.

<89> 도 6e 및 도 7e를 참조하면, 보호층(48)상에 화소전극(52)이 형성된다.

<90> 화소전극(52)은 보호층(48)상에 투명전도성물질인 IT0, IZO, ITZO 중 어느 하나를 증착한 후 제5 마스크로 패터닝함으로써 형성된다. 화소전극(52)은 제1 접촉홀(50a)을 통해 화소드레인전극(40)과 전기적으로 접촉되며, 제2 접촉홀(50b)을 통해 스토리지전극(54)과 전기적으로 접촉된다.

- <91> 도 8 및 도 9를 참조하면, 본 발명의 제2 실시 예에 따른 액정표시장치의 하부기관(31)은 도 3에 도시된 액정표시장치와 대비하여 듀얼채널 TFT(DT)의 반도체층인 활성층이 듀얼채널 TFT(DT)상에만 형성되는 것을 제외하고는 동일한 구성요소들을 구비한다.
- <92> 듀얼채널 TFT(DT)는 전술한 바와 같이 데이터라인(34)과 연결된 하나의 공통소스전극(38)을 가지고, 화소드레인전극(40)과 리페어용 드레인전극(60)이 공통소스전극(38)의 주변부에 형성된다. 이 듀얼채널 TFT(DT)에는 화소드레인전극(40) 및 리페어용 드레인전극(60)과 공통소스전극(38)사이에 채널 및 보조채널을 갖는 메인 TFT(MT)와 보조 TFT(RT)가 형성된다.
- <93> 메인 TFT(MT)는 활성층(44)에서 공통소스전극(38) 및 화소드레인전극(40)사이의 게이트전극(36)과 대응하는 부분에 채널이 형성되어 공통소스전극(38)을 소스로 하고 화소드레인전극(40)을 드레인으로 한다.
- <94> 보조 TFT(RT)는 활성층(44)에서 공통소스전극(38) 및 리페어용 드레인전극(60)사이의 게이트라인(32)과 대응하는 부분에 보조채널이 형성되어 공통소스전극(38)을 소스로 하고 리페어용 드레인전극(60)을 드레인으로 한다. 리페어용 드레인전극(60)은 화소전극(52)과 중첩되게 형성된다.
- <95> 이 메인 TFT(MT) 및 보조TFT(RT)의 소스전극을 공통소스전극으로 사용하며 메인 TFT(MT) 및 보조TFT(RT)의 게이트단자(32,36)와 활성층(44)은 공통소스단자 아래를 통하여 서로 연결되어 형성됨으로써 듀얼채널 TFT(DT)가 차지하는 영역의 크기를 줄일 수 있다. 게이트라인(32)으로부터 한번만 돌출된 게이트전극(36)으로 듀얼채널 TFT(DT)의 게이트역할을 할 수 있다.

<96> 이 듀얼채널TFT(DT)의 채널에 단선불량이 발생하면 듀얼채널 TFT(DT)의 채널의 목부분을 절단시켜 데이터라인(34)으로부터의 데이터신호는 화소전극(52)에 공급되지 못한다. 그런 다음, 화소전극(52)과 이전단 듀얼채널 TFT(DT)의 리페어용 드레인전극(60)이 전기적으로 연결되도록 화소전극(52)을 레이저로 용융하면 보호막(48)도 동시에 용융되어 이전단 리페어용 드레인전극(60)이 노출된다. 용융된 화소전극(52)이 하부로 흘러 들어가 도 10에 도시된 바와 같이 화소전극(52)과 전단 듀얼채널 TFT(DT)의 리페어용 드레인전극(60)이 전기적으로 접촉된다. 이로 인해 전단 화소전극에 입력되는 데이터신호가 전단 게이트라인의 하이펄스 인가시 화소전극(52)에 공급되어 불량화소셀은 이전단과 동일한 색을 구현하게 된다. 일반적으로 인접하는 화소간의 데이터의 크기는 비슷하므로 전단화소의 데이터를 입력함에 의하여 불량화소는 눈에 띄지 않는다. 이 경우, 실질적으로 두 개의 TFT의 역할을 할 수 있는 구조를 가지면서 소스전극을 공통소스전극(38)하나만을 형성해도 되므로 소스전극이 차지하는 면적을 줄일 수 있어 표시영역의 비율 즉, 개구율이 증가된다.

<97> 이러한 구성을 가지는 액정표시장치의 하부기판의 제조방법을 살펴보면, 기판(31) 상에 게이트금속층을 증착하고 패터닝하여 도 11a 및 도 12a에 도시된 바와 같이 게이트라인(32) 및 게이트전극(36)을 형성한 후, 그 위에 게이트절연막(42)을 전면 형성된다. 게이트절연막(42) 상에 비정질실리콘층을 형성하고 패터닝하여 도 11b 및 도 12b에 도시된 바와 같이 TFT(T)의 반도체층(44)을 듀얼채널 TFT(DT)의 주변영역에만 형성한다. 게이트절연막(42) 상에 금속층을 증착한 후 패터닝하여 도 11c 및 도 12c에 도시된 바와 같이 스토리지전극(54), 데이터라인

(34), 리페어용 드레인전극(60), 공통소스전극(38) 및 드레인전극(40)을 동시에 형성하게 된다. 여기서, 리페어용 드레인전극은 다음단의 화소전극과 중첩되게 형성된다. 그런 다음, 보호막(48)을 전면 도포한 후 패터닝하여 도 11d 및 도 12d에 도시된 바와 같이 제1 및 제2 접촉홀(50a, 50b)을 형성하게 된다. 보호막(48) 상에 투명전극물질을 도포하고 패터닝하여 도 11e 및 도 12e에 도시된 바와 같이 화소전극(52)을 형성하게 된다.

<98> 도 13 및 도 14를 참조하면, 본 발명의 제3 실시 예에 따른 액정표시장치의 하부기관(31)은 도 3에 도시된 액정표시장치와 대비하여 반도체층(44, 46)이 데이터라인(34), 스토리지전극(54), 공통소스전극(38), 화소드레인전극(40) 및 리페어용 드레인전극(60)과 동시에 형성되어진 것을 제외하고는 동일한 구성요소를 구비한다.

<99> 듀얼채널 TFT(DT)는 전술한 바와 같이 데이터라인(34)과 연결된 하나의 공통소스전극(38)을 가지고, 화소드레인전극(40)과 리페어용드레인전극(60)이 공통소스전극(38)의 주변부에 형성된다. 이 듀얼채널 TFT(DT)에는 화소드레인전극(40) 및 리페어용 드레인전극(60)과 공통소스전극(38)사이에 채널 및 보조채널을 갖는 메인 TFT(MT)와 보조 TFT(RT)가 형성된다.

<100> 메인 TFT(MT)는 활성층(44)에서 공통소스전극(38) 및 화소드레인전극(40)사이의 게이트전극(36)과 대응하는 부분에 채널이 형성되어 공통소스전극(38)을 소스로 하고 화소드레인전극(40)을 드레인으로 한다.

<101> 보조 TFT(RT)는 활성층(44)에서 공통소스전극(38) 및 리페어용 드레인전극(60)사이의 게이트라인(32)과 대응하는 부분에 보조채널이 형성되어 공통소스전

극(38)을 소스로 하고 리페어용 드레인전극(60)을 드레인으로 한다. 리페어용 드레인전극(60)은 화소전극(52)과 중첩되게 형성된다. 이 메인 TFT(MT) 및 보조 TFT(RT)의 소스전극을 공통소스전극으로 사용하며 메인 TFT(MT) 및 보조TFT(RT)의 게이트단자(32,36)와 활성층(44)은 공통소스단자 아래를 통하여 서로 연결되어 형성됨으로써 듀얼채널 TFT(DT)가 차지하는 영역의 크기를 줄일 수 있다. 게이트라인(32)으로부터 한번만 돌출된 게이트전극(36)으로 듀얼채널 TFT(DT)의 게이트역할을 할 수 있다.

<102> 이 듀얼채널TFT(DT)의 채널에 단선불량이 발생하면 듀얼채널 TFT(DT)의 채널의 목부분을 절단시켜 데이터라인(34)으로부터의 데이터신호는 화소전극(52)에 공급되지 못한다. 그런 다음, 화소전극(52)과 이전단 듀얼채널 TFT(DT)의 리페어용 드레인전극(60)이 전기적으로 연결되도록 화소전극(52)을 레이저로 용융하면 보호막(48)도 동시에 용융되어 이전단 리페어용 드레인전극(60)이 노출된다. 용융된 화소전극(52)이 하부로 흘러 들어가 도 15에 도시된 바와 같이 화소전극(52)과 전단 듀얼채널 TFT(DT)의 리페어용 드레인전극(60)이 전기적으로 접촉된다. 이로 인해 전단 화소전극에 입력되는 데이터신호가 전단 게이트라인의 하이 펄스 인가시 화소전극(52)에 공급되어 불량화소셀은 이전단과 동일한 색을 구현하게 된다. 일반적으로 인접하는 화소간의 데이터의 크기는 비슷하므로 전단화소의 데이터를 입력함에 의하여 불량화소는 눈에 띄지 않는다. 이 경우, 실질적으로 두 개의 TFT의 역할을 할 수 있는 구조를 가지면서 소스전극을 공통소스전극(38)하나만을 형성해도 되므로 소스전극이 차지하는 면적을 줄일 수 있어 표시 영역의 비율 즉, 개구율이 증가된다.

- <103> 도 16a 내지 도 17f는 도 13에 도시된 액정표시장치의 제조방법을 나타내는 단면도이다.
- <104> 도 16a 및 도 17a를 참조하면, 기판(31) 상에 게이트라인(32) 및 게이트전극(36)이 형성된다.
- <105> 게이트전극(36) 및 게이트라인(32)은 스퍼터링(sputtering) 등의 증착방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착한 후 제1 마스크로 패터닝함으로써 형성된다.
- <106> 도 17b를 참조하면, 게이트절연막(42) 상에 포토레지스트(62)가 형성된다. 그리고, 포토레지스트(62) 상부에는 투과부(64a), 차단부(64b) 및 회절부(64c)를 갖는 제2 마스크인 회절마스크(64)가 형성된다.
- <107> 게이트절연막(42)은 게이트전극(36)을 덮도록 절연물질을 PECVD(Plasma Enhanced Chemical Vapor Deposition)방식으로 전면 증착하여 형성된다. 포토레지스트(62)는 게이트절연막(42) 상에 반도체층(44,46) 및 금속층(39)을 전면 증착한 후 형성된다. 게이트절연막(42)은 질화실리콘(SiN_x) 또는 산화실리콘(SiO_x) 등의 절연물질로 형성된다. 반도체층(44,46)은 불순물이 도핑되지 않은 비정질실리콘 및 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘으로 형성된다. 또한, 금속층(39)은 크롬(Cr) 또는 몰리브덴(Mo) 등으로 형성된다.
- <108> 회절마스크(64)의 차단부(64b)는 리페어용 드레인전극(60)과 소스전극 및 드레인전극(38,40)이 형성될 영역에 형성되며, 회절부(64c)는 소스전극 및 드레인

인전극(38,40) 사이의 채널이 형성될 영역에 형성되며, 투과부(64a)는 나머지 영역에 형성된다.

<109> 회절마스크(64)는 자외선광을 포토레지스트(62)에 선택적으로 조사하여 노광한다.

<110> 도 17c를 참조하면, 게이트절연막(42) 상에 포토레지스트패턴(66)이 형성된다.

<111> 포토레지스트패턴(66)은 포토레지스트(62)를 알칼리 수용액 등의 현상액으로 현상하여 형성된다. 회절마스크(64)의 차단부(64b)와 대응되는 영역은 최소 도포 두께의 포토레지스트패턴(66)이 형성되며, 회절부(64c)와 대응되는 영역은 최소 도포 두께의 10~50%정도의 포토레지스트패턴(66)이 형성되며, 투과부(64a)와 대응되는 영역은 포토레지스트패턴(66)이 제거되어 하부기판(31)이 노출된다.

<112> 도 16b 및 도 17d를 참조하면, 게이트절연막(42) 상에 활성층(44), 오믹접촉층(46), 리페어용 드레인전극(60), 공통소스전극(38) 및 화소드레인전극(40)이 형성된다.

<113> 화소드레인전극(40)과 스토리지전극(54)의 에지(edge)에 빗모양의 돌출부(L)를 형성하는 것은 전극 에지에서의 단차로 인한 추후에 형성되는 화소전극(40)의 물량을 방지하기 위함이다.

<114> 활성층(44), 오믹접촉층(46), 리페어용 드레인전극(60), 공통소스전극(38) 및 화소드레인전극(40)은 포토레지스트패턴(66)이 형성된 하부기판(31)을 식각액에 노출시켜 금속층(39)과 반도체층(44,46)을 동시에 식각함으로써 형성된다.

- <115> 활성층(44), 오믹접촉층(46), 리페어용 드레인전극(60), 공통소스전극(38) 및 드레인전극(40)이 형성된 후 포토레지스트패턴(66)은 제거된다.
- <116> 도 16c 및 도 17e를 참조하면, 게이트절연층(42)상에 보호층(48), 제1 및 제2 접촉홀(50a, 50b)이 형성된다.
- <117> 보호층(48), 제1 및 제2 접촉홀(50a, 50b)은 리페어용 드레인전극(60), 공통소스전극(38) 및 화소드레인전극(40)을 덮도록 게이트절연층(42) 상에 절연물질을 증착한 후 제3 마스크로 패터닝함으로써 형성된다.
- <118> 보호층(48)은 질화실리콘(SiN_x), 산화실리콘(SiO_x) 등의 무기절연물질, 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane) 등의 유전상수가 작은 유기절연물로 형성된다.
- <119> 도 16d 및 도 17f를 참조하면, 보호층(48)상에 화소전극(52)이 형성된다.
- <120> 화소전극(52)은 보호층(48)상에 투명전도성물질인 ITO, IZO, ITZO 중 어느 하나를 증착한 후 제4 마스크로 패터닝함으로써 형성된다. 화소전극(52)은 제1 접촉홀(50a)을 통해 드레인전극(10)과 전기적으로 접촉된다.
- <121> 도 18 및 도 19를 참조하면, 본 발명의 제4 실시 예에 따른 액정표시장치는 도 8에 도시된 액정표시장치와 대비하여 반도체층이 금속층과 동시에 형성되는 것을 제외하고는 동일한 구성요소를 구비한다.
- <122> 듀얼채널 TFT(DT)는 전술한 바와 같이 데이터라인(34)과 연결된 하나의 공통소스전극(38)을 가지고, 화소드레인전극(40)과 리페어용 드레인전극(60)이 공

통소스전극(38)의 주변부에 형성된다. 이 듀얼채널 TFT(DT)에는 화소드레인전극(40) 및 리페어용 드레인전극(60)과 공통소스전극(38)사이 채널 및 보조채널을 갖는 메인 TFT(MT)와 보조 TFT(RT)가 형성된다. 메인 TFT(MT)는 활성층(44)에서 공통소스전극(38) 및 화소드레인전극(40)사이의 게이트전극(36)과 대응하는 부분에 채널이 형성되어 공통소스전극(38)을 소스로 하고 화소드레인전극(40)을 드레인으로 한다. 보조 TFT(RT)는 활성층(44)에서 공통소스전극(38) 및 리페어용 드레인전극(60)사이의 게이트라인(32)과 대응하는 부분에 보조 채널이 형성되어 공통소스전극(38)을 소스로 하고 리페어용 드레인전극(60)을 드레인으로 한다. 리페어용 드레인전극(60)은 화소전극(52)과 중첩되게 형성된다. 이 메인 TFT(MT) 및 보조TFT(RT)의 소스전극을 공통소스전극으로 사용하며 메인 TFT(MT) 및 보조TFT(RT)의 게이트단자(32,36)와 활성층(44)은 공통소스단자 아래를 통하여 서로 연결되어 형성됨으로써 듀얼채널 TFT(DT)가 차지하는 영역의 크기를 줄일 수 있다. 게이트라인(32)으로부터 한번만 돌출된 게이트전극(36)으로 듀얼채널 TFT(DT)의 게이트역할을 할 수 있다.

<123> 이 듀얼채널TFT(DT)의 채널에 단선불량이 발생하면 듀얼채널 TFT(DT)의 채널의 목부분을 절단시켜 데이터라인(34)으로부터의 데이터신호는 화소전극(52)에 공급되지 못한다. 그런 다음, 화소전극(52)과 이전단 듀얼채널 TFT(DT)의 리페어용 드레인전극(60)이 전기적으로 연결되도록 화소전극(52)을 레이저로 용융하면 보호막(48)도 동시에 용융되어 이전단 리페어용 드레인전극(60)이 노출된다. 용융된 화소전극(52)이 하부로 흘러들어가 도 20에 도시된 바와 같이 화소전극(52)과 전단 듀얼채널 TFT(DT)의 리페어용 드레인전극(60)이 전기적으로 접촉된

다. 이로 인해 전단 화소전극에 입력되는 데이터신호가 전단 게이트라인의 하이 펄스 인가시 화소전극(52)에 공급되어 불량화소셀은 이전단과 동일한 색을 구현하게 된다. 일반적으로 인접하는 화소간의 데이터의 크기는 비슷하므로 전단화소의 데이터를 입력함에 의하여 불량화소는 눈에 띄지 않는다. 이 경우, 실질적으로 두 개의 TFT의 역할을 할 수 있는 구조를 가지면서 소스전극을 공통소스전극(38)하나만을 형성해도 되므로 소스전극이 차지하는 면적을 줄일 수 있어 표시 영역의 비율 즉, 개구율이 증가된다.

<124> 이러한 구성을 가지는 액정표시장치의 하부기판의 제조방법을 살펴보면, 기판(31) 상에 게이트금속층을 증착하고 패터닝하여 도 21a 및 도 22a에 도시된 바와 같이 게이트라인(32) 및 게이트전극(36)을 형성한 후, 그 위에 게이트절연막(42)을 전면 도포하게 된다. 게이트절연막(42) 위에 비정질실리콘층 및 금속층을 증착한 후 회절마스크로 패터닝하여 도 21b 및 도 22b에 도시된 바와 같이 활성층(44), 오믹접촉층(46), 데이터라인(32), 스토리지전극(54), 소스전극(38), 드레인전극(40) 및 리페어용 드레인전극(60)을 동시에 형성하게 된다. 이어서, 보호막(48)을 전면 도포한 후 패터닝하여 도 21c 및 도 22c에 도시된 바와 같이 제1 및 제2 접촉홀(50a, 50b)을 형성하게 된다. 보호막(48) 위에 투명전극물질을 도포하고 패터닝하여 도 21d 및 도 22d에 도시된 바와 같이 화소전극(52)을 형성하게 된다.

【발명의 효과】

<125> 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 TFT의 채널에 불량 발생하면 데이터라인으로부터의 데이터신호가 TFT에 인가되지 못하도록 레이저로 절단한 후 이전단 TFT의 리페어용 드레인전극과 화소전극이 연결되도록 한다. 이로 인해 종래의 암점화리페어와는 달리 불량화소셀이 이전단 화소셀과 동일한 컬러를 구현할 수 있어 휘점으로 인한 불량이 제거될 뿐만 아니라 리페어효율이 높아진다. 또한, 본 발명에 따른 액정표시장치 및 그 제조방법은 리페어시 사용되는 보조TFT의 소스전극과 메인TFT의 소스전극을 공통으로 형성하여 종래의 리페어용 소스전극의 영역만큼 표시영역이 증가되어 고개구율을 구현할 수 있다. 그리고, 메인TFT와 보조TFT의 게이트전극과 활성층은 공통소스전극 아래를 경유하여 서로 연결되어 있으므로 패턴이 복잡하지 않고, 차지하는 영역의 크기를 줄일 수 있다. 본 발명에 따른 액정표시장치를 이용한 화소 리페어 방법은 기존에 암점화하던 리페어 방법에 비하여 불량 화소와 다른 정상화소와의 휘도와 색표현 차이를 줄일 수 있게 된다.

<126> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

데이터신호가 공급되는 공통소스전극과, 소정의 메인 채널을 사이에 두고 상기 공통소스전극과 대향하며 제1 수평라인의 액정을 구동하기 위한 제1 화소전극에 접속되는 화소드레인전극과, 스캔신호에 응답하여 상기 메인 채널을 개폐하기 위한 게이트전극을 갖는 메인 박막트랜지스터와,

상기 메인 박막트랜지스터와 공통으로 구비되는 상기 공통소스전극 및 상기 게이트전극과, 소정의 보조채널을 사이에 두고 상기 공통소스전극과 대향하며

제2 수평라인의 액정을 구동하기 위한 제2 화소전극과 중첩되게 형성되어 리페어시 접속되는 리페어용 드레인전극을 갖는 보조 박막트랜지스터를 구비하며,

상기 메인 채널 및 보조 채널을 이루는 활성층은 상기 공통소스전극영역에서 서로 연결되는 것을 특징으로 하는 액정표시장치.

【청구항 2】

제 1 항에 있어서,

기판 상에 상기 게이트전극 및 게이트라인을 덮도록 형성되는 게이트절연막과,

상기 게이트절연막상에 형성되는 반도체층과,

상기 공통소스전극, 화소드레인전극 및 리페어용 드레인전극을 덮도록 상기 게이트절연막 상에 전면 형성되는 보호층과,

상기 화소드레인전극과 상기 화소전극을 전기적으로 접촉되도록 상기 보호층 상에 형성되는 접촉홀을 구비하는 것을 특징으로 하는 액정표시장치.

【청구항 3】

제 2 항에 있어서,

상기 반도체층은 상기 메인 박막트랜지스터, 보조 박막트랜지스터 및 데이터라인의 주변영역에 형성되는 것을 특징으로 하는 액정표시장치.

【청구항 4】

제 2 항에 있어서,

상기 반도체층은 상기 메인 박막트랜지스터 및 보조 박막트랜지스터의 주변영역에 형성되는 것을 특징으로 하는 액정표시장치.

【청구항 5】

제 1 항에 있어서,

기판 상에 상기 게이트전극 및 게이트라인을 덮도록 형성되는 게이트절연막과,

상기 게이트절연막 상에 형성되는 반도체층과,

상기 공통소스전극, 화소드레인전극 및 리페어용 드레인전극을 덮도록 상기 게이트절연막 상에 전면 형성되는 보호층과,

상기 화소드레인전극과 상기 화소전극을 전기적으로 접촉되도록 상기 보호층 상에 형성되는 접촉홀을 구비하며,

상기 공통소스전극과 상기 화소드레인전극 및 상기 리페어용 드레인전극은 상기 반도체층과 동시에 패터닝되는 것을 특징으로 하는 액정표시장치.

【청구항 6】

제 5 항에 있어서,

상기 반도체층은 상기 메인 박막트랜지스터, 보조박막트랜지스터 및 데이터 라인의 주변영역에 형성되는 것을 특징으로 하는 액정표시장치.

【청구항 7】

제 5 항에 있어서,

상기 반도체층은 상기 메인 박막트랜지스터 및 보조박막트랜지스터의 주변 영역에 형성되는 것을 특징으로 하는 액정표시장치.

【청구항 8】

기판 상에 게이트라인 및 게이트전극을 형성하는 단계와,

상기 기판 상에 게이트절연막을 형성하는 단계와,

상기 게이트절연막 상에 반도체층을 형성하는 단계와,

상기 게이트절연막 상에 데이터라인 및 공통소스전극을 형성함과 아울러 상기 공통소스전극에 대향되게 형성되어 상기 반도체층 내에 메인 박막트랜지스터의 메인 채널과 보조 박막트랜지스터의 보조채널이 동시에 존재하게끔 화소드레인전극 및 리페어용 드레인전극을 형성하는 단계와,

상기 공통소스전극, 화소드레인전극 및 리페어용 드레인전극을 덮도록 상기 게이트절연막 상에 보호층을 형성하는 단계와,

상기 보호층 상에 상기 화소드레인전극과 전기적으로 접촉되며 상기 리페어 용 드레인전극과 중첩되게 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 9】

제 8 항에 있어서,

상기 메인 박막트랜지스터 및 보조 박막트랜지스터의 게이트전극은 상기 공통소스전극영역에서 일체화되는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 10】

제 8 항에 있어서,

상기 반도체층은 상기 메인 박막트랜지스터, 보조 박막트랜지스터 및 데이터라인의 주변영역에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 11】

제 8 항에 있어서,

상기 반도체층은 상기 메인 박막트랜지스터 및 보조 박막트랜지스터의 주변영역에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 12】

기판 상에 게이트라인 및 게이트전극을 형성하는 단계와,

상기 기판 상에 상기 게이트전극 및 게이트라인을 덮도록 게이트절연막을 형성하는 단계와,

상기 게이트절연막 상에 반도체물질 및 금속층을 증착한 후 동시에 패터닝하여 반도체층, 공통소스전극 및 데이터라인을 형성함과 아울러 상기 공통소스전극에 대향되게 형성되어 상기 반도체층 내에 메인 박막트랜지스터의 메인채널과 보조 박막트랜지스터의 보조채널이 동시에 존재하게끔 화소드레인전극과 리페어전극을 형성하는 단계와,

상기 공통소스전극, 화소드레인전극 및 리페어용 드레인전극을 덮도록 상기 게이트절연막 상에 보호층을 형성하는 단계와,

상기 보호층 상에 화소드레인전극과 전기적으로 접촉되며 리페어용 드레인전극과 중첩되게 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 13】

제 12 항에 있어서,

상기 메인 박막트랜지스터 및 보조 박막트랜지스터의 게이트전극은 상기 공통소스전극영역에서 일체화되는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 14】

제 12 항에 있어서,

상기 반도체층은 상기 메인 박막트랜지스터, 보조 박막트랜지스터 및 데이터라인의 주변영역에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 15】

제 12 항에 있어서,

상기 반도체층은 메인 박막트랜지스터, 보조 박막트랜지스터의 주변영역에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 16】

제1 수평라인의 화소전극에 구동용 화소드레인전극이 접속됨과 아울러 제2 수평라인의 화소전극에 중첩되는 리페어용 드레인전극을 포함하는 박막용 트랜지스터를 마련하는 단계와,

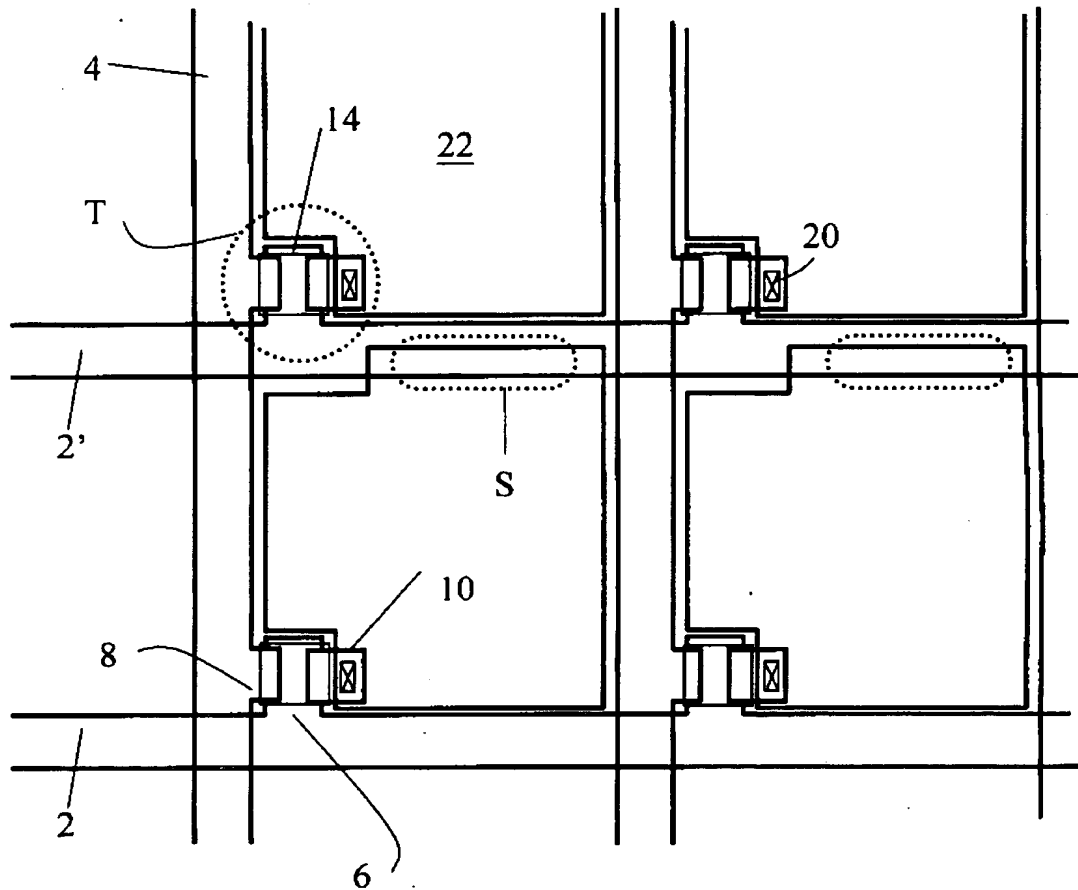
상기 수평라인들에 포함된 불량화소를 감지하는 단계와,

상기 불량화소의 구동용 드레인전극의 일부를 개방시키는 단계와,

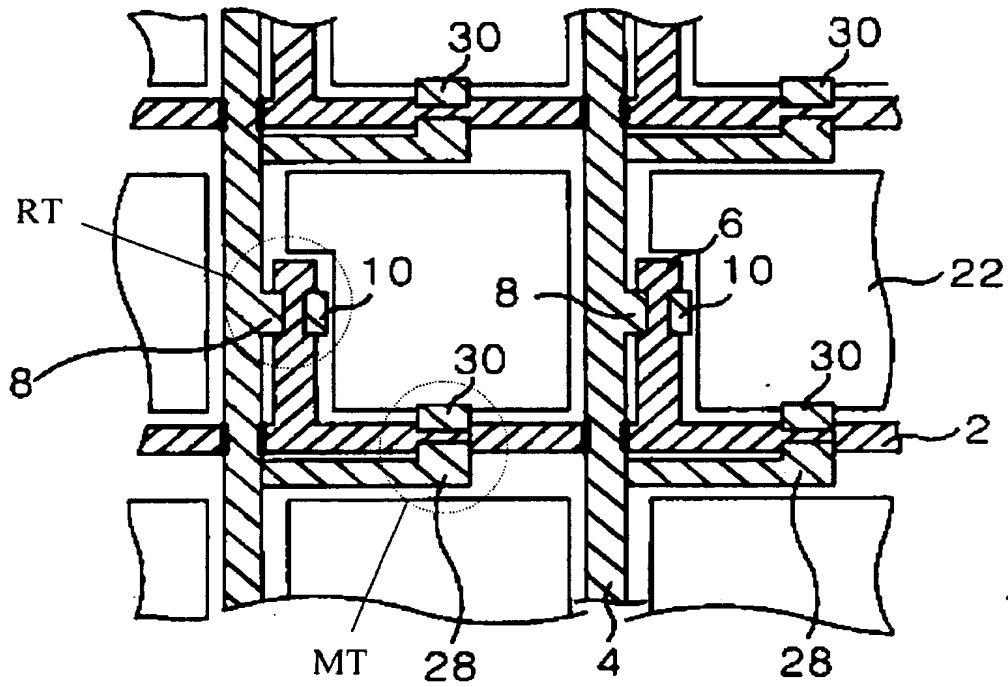
상기 리페어용 드레인전극을 상기 불량화소의 화소전극에 접속시킴으로써 정상화소와 동일한 색의 데이터가 상기 불량화소의 화소전극에 공급되게 하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 리페어 방법.

【도면】

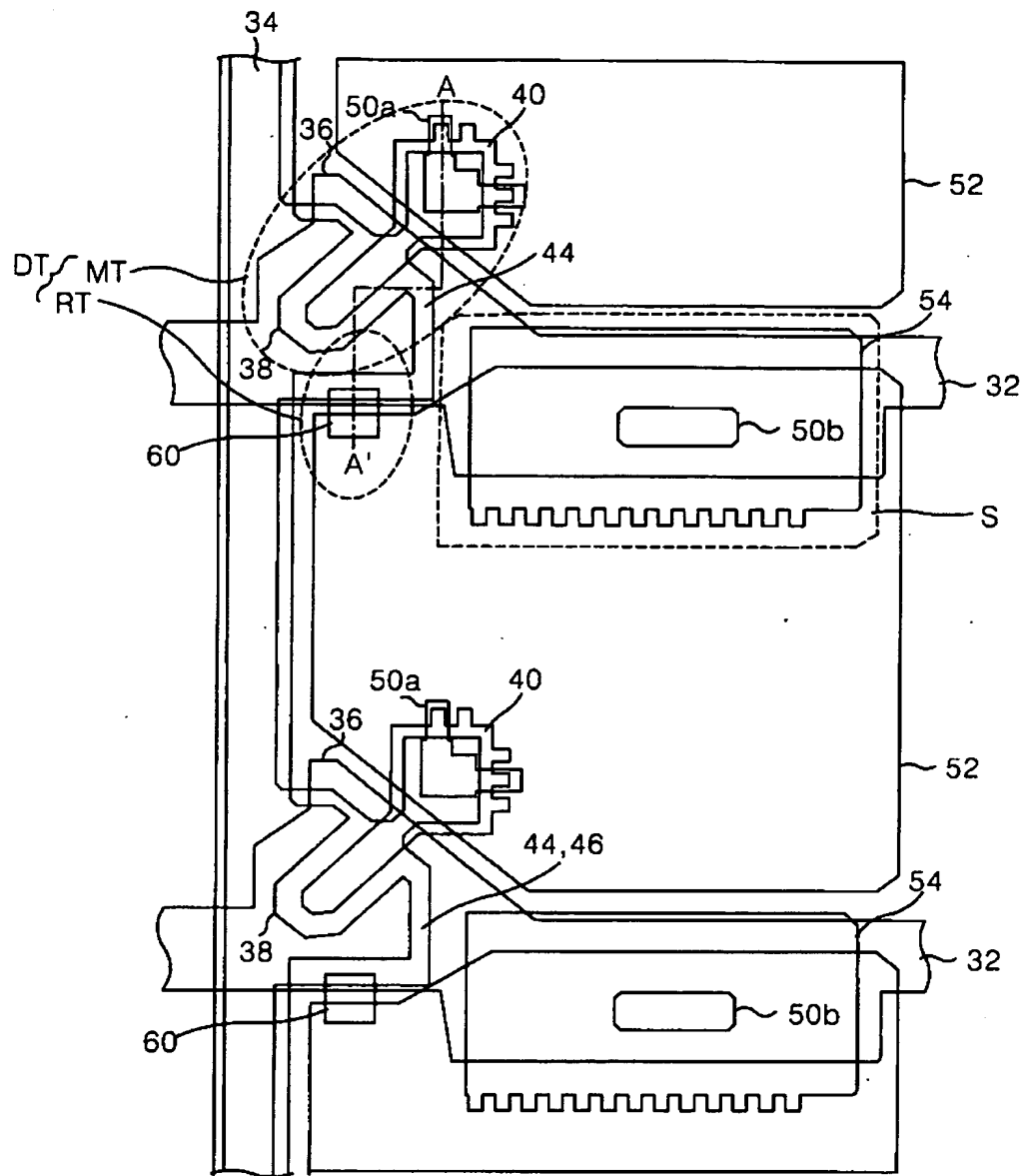
【도 1】



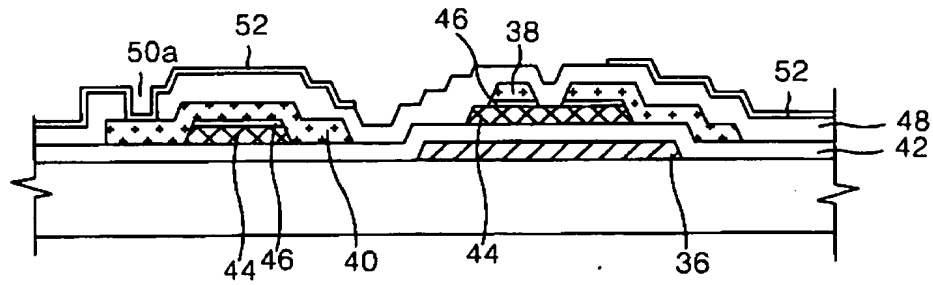
【도 2】



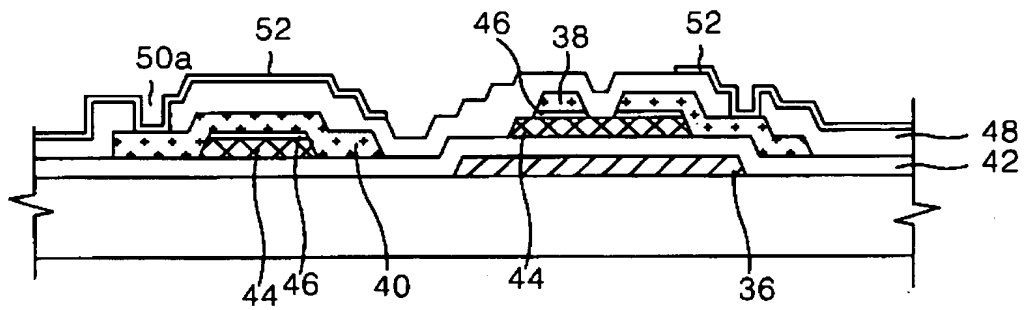
【도 3】



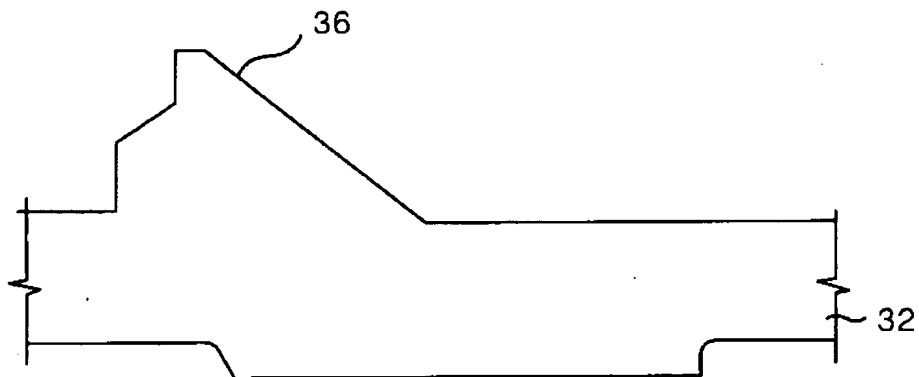
【도 4】



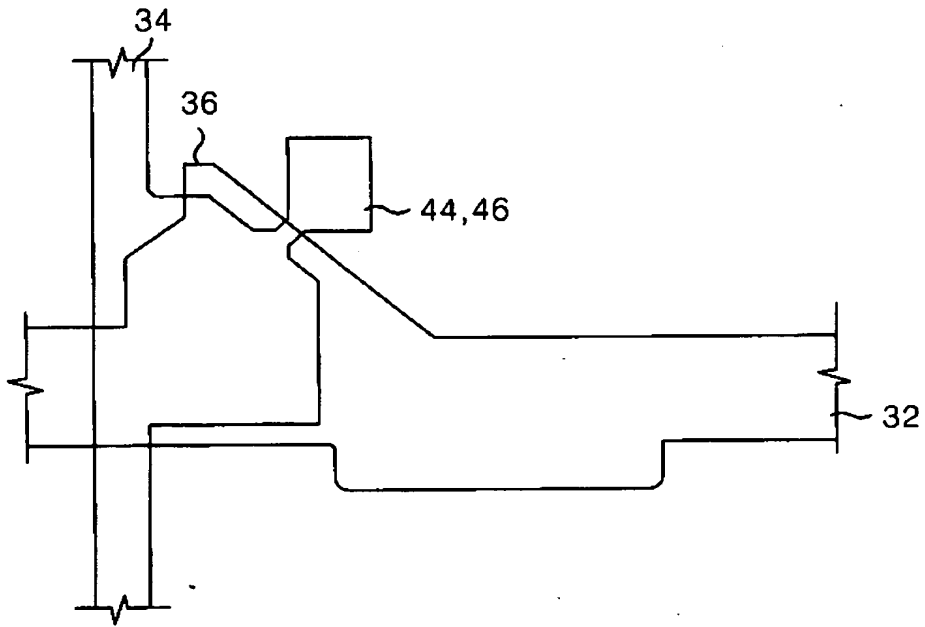
【도 5】



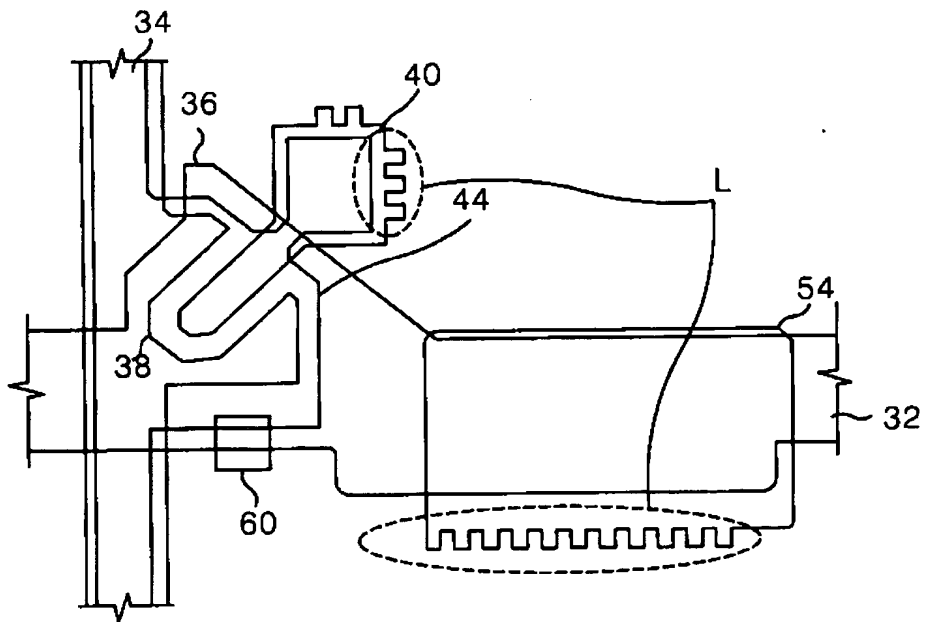
【도 6a】



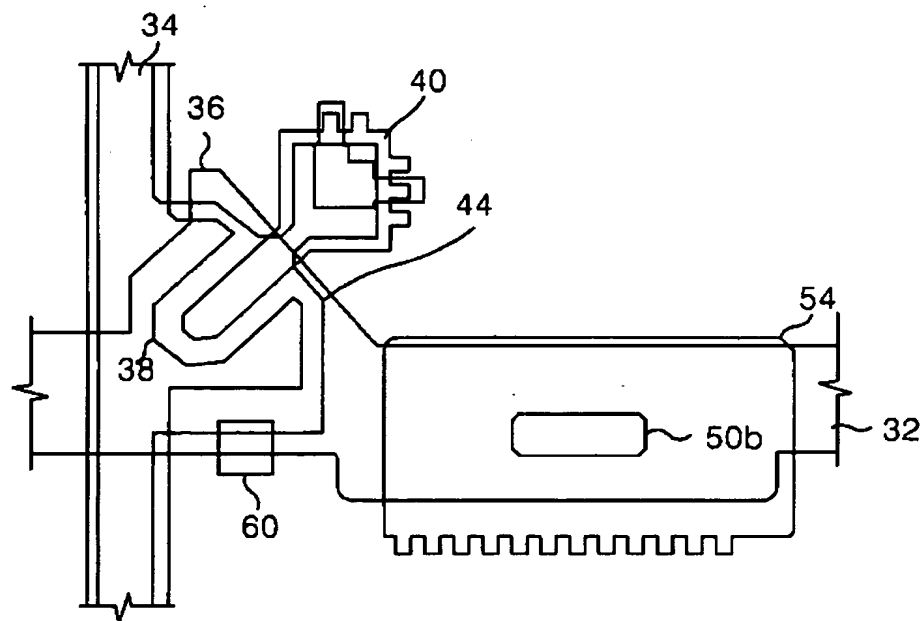
【도 6b】



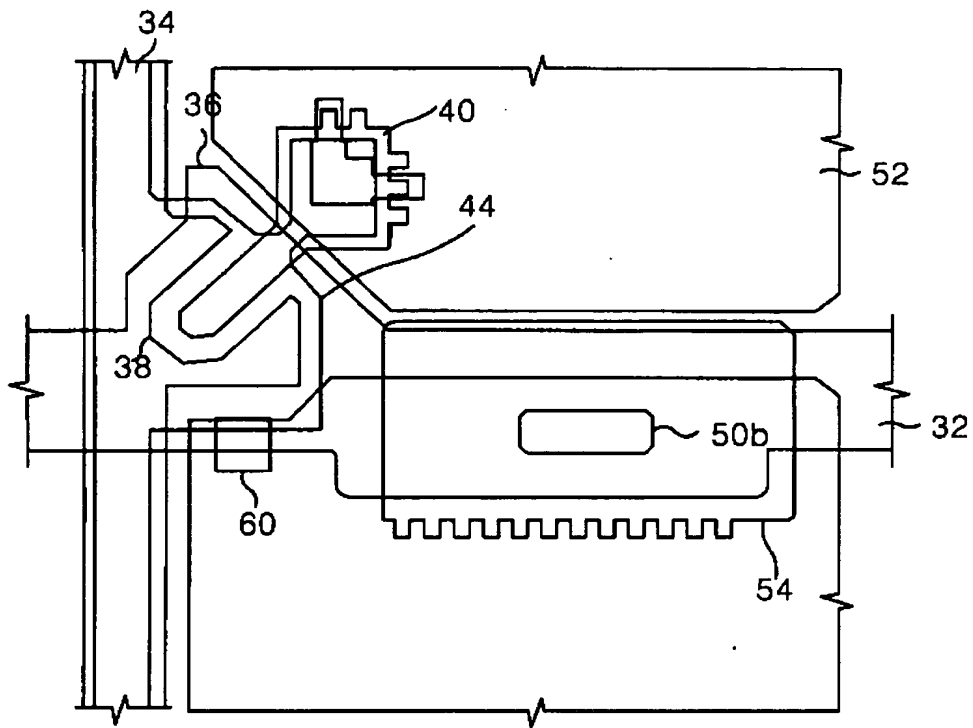
【도 6c】



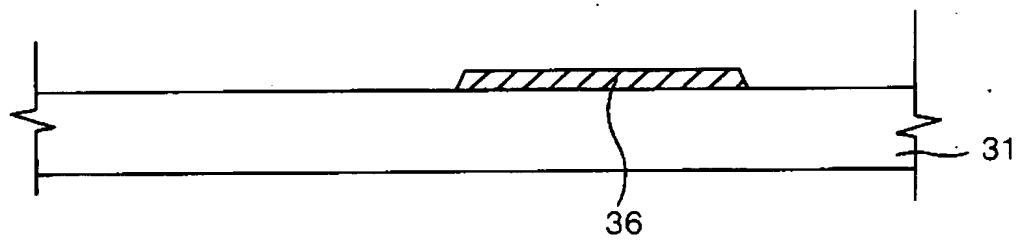
【도 6d】



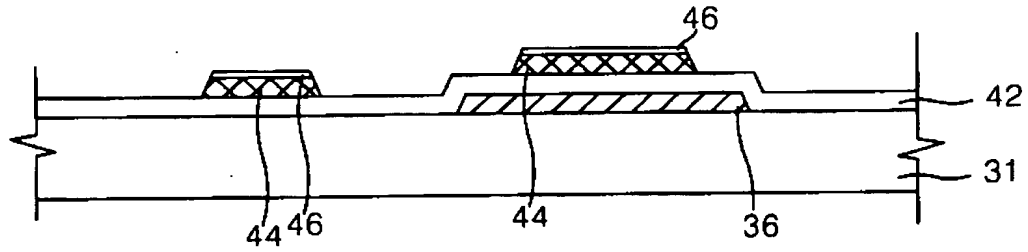
【도 6e】



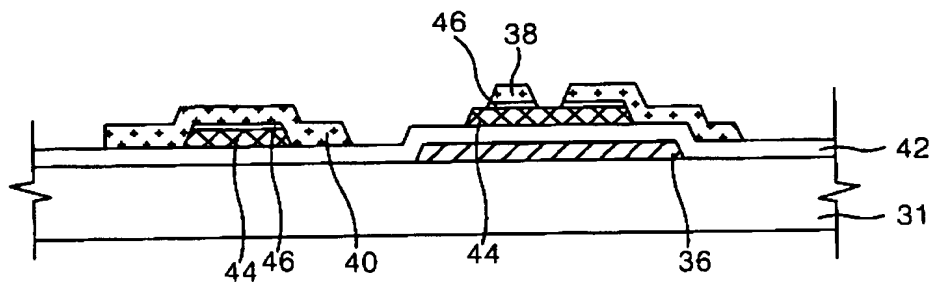
【도 7a】



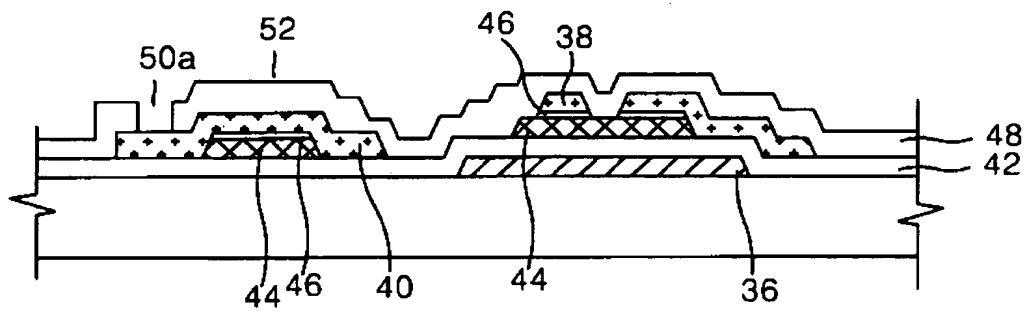
【도 7b】



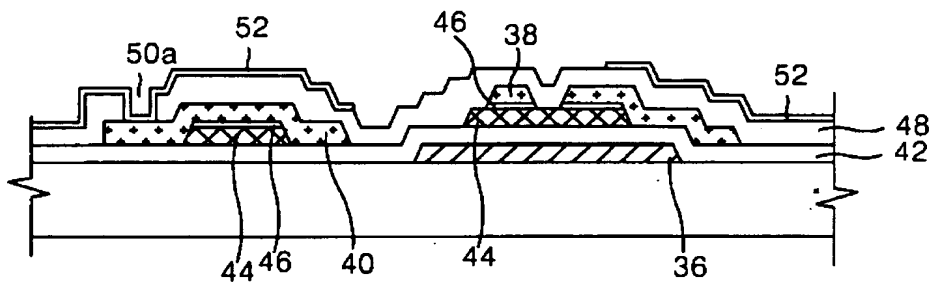
【도 7c】



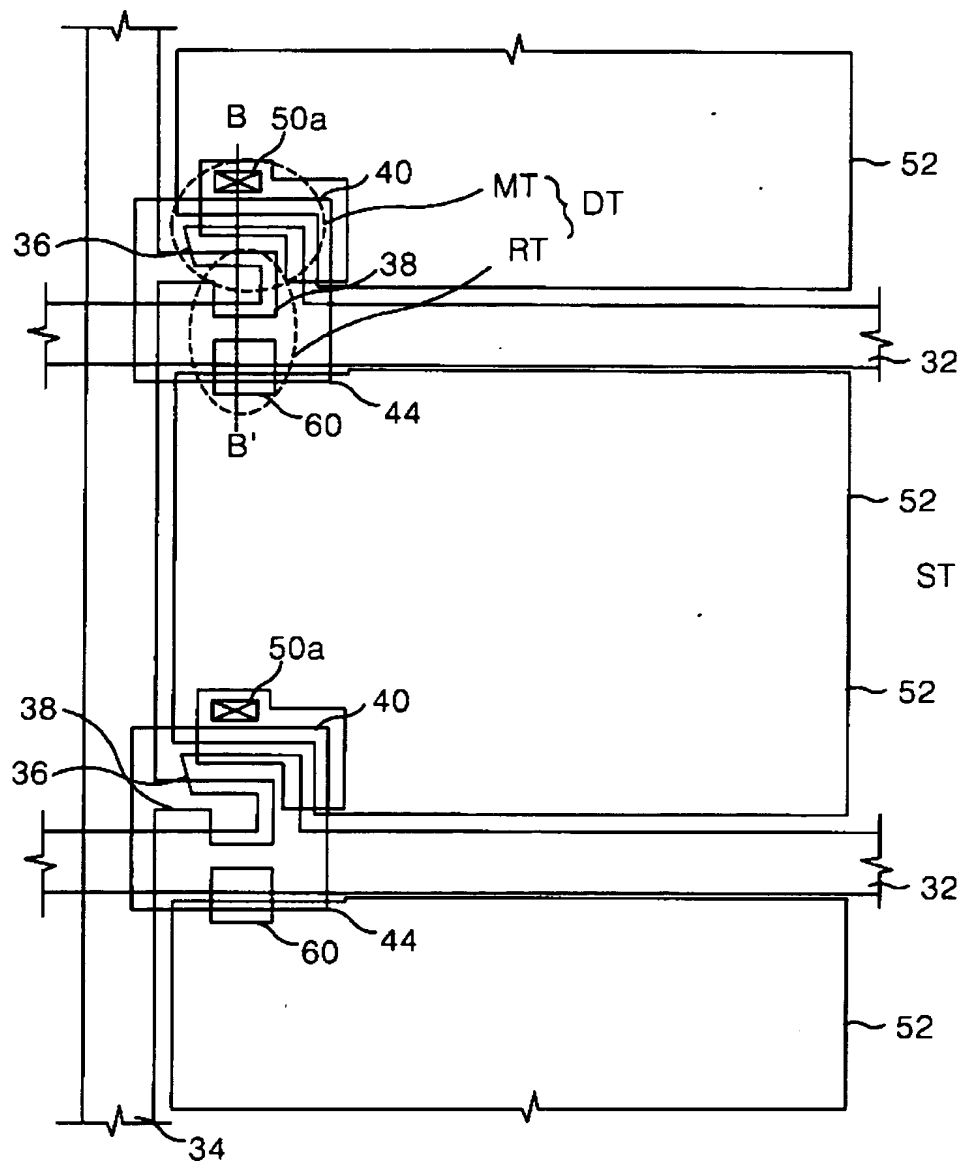
【도 7d】



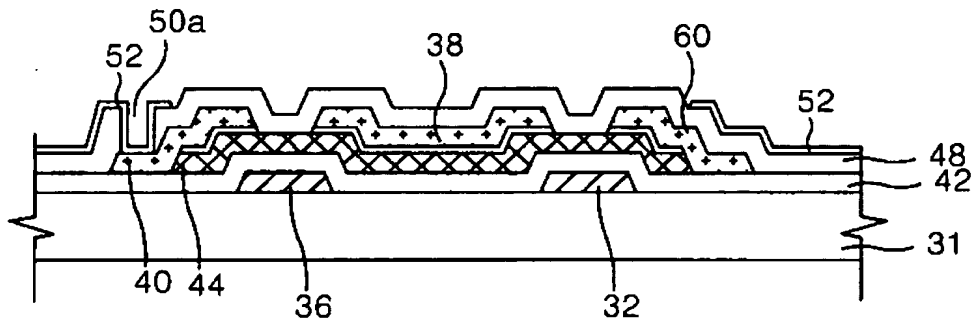
【도 7e】



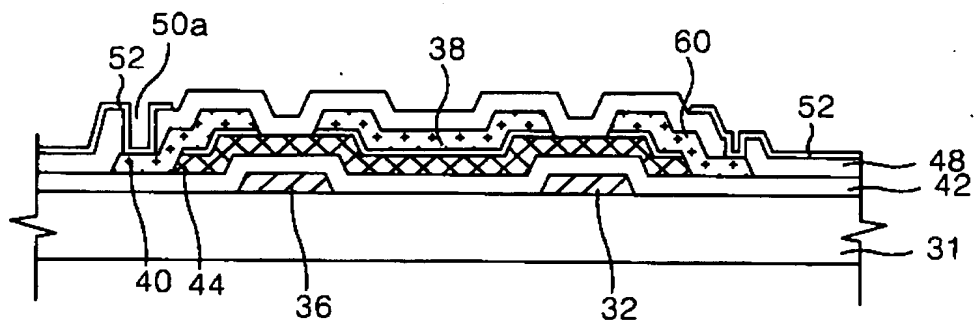
【도 8】



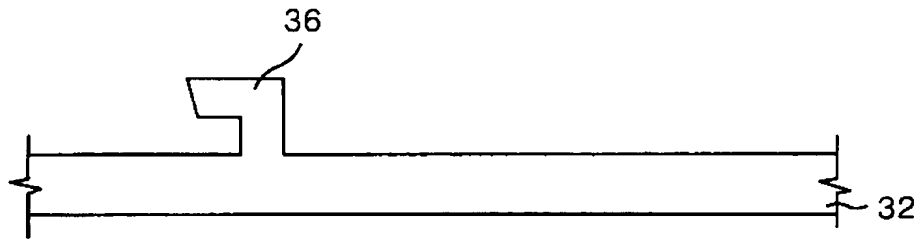
【도 9】



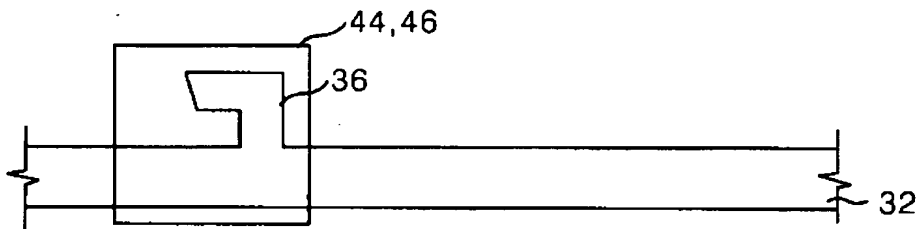
【도 10】



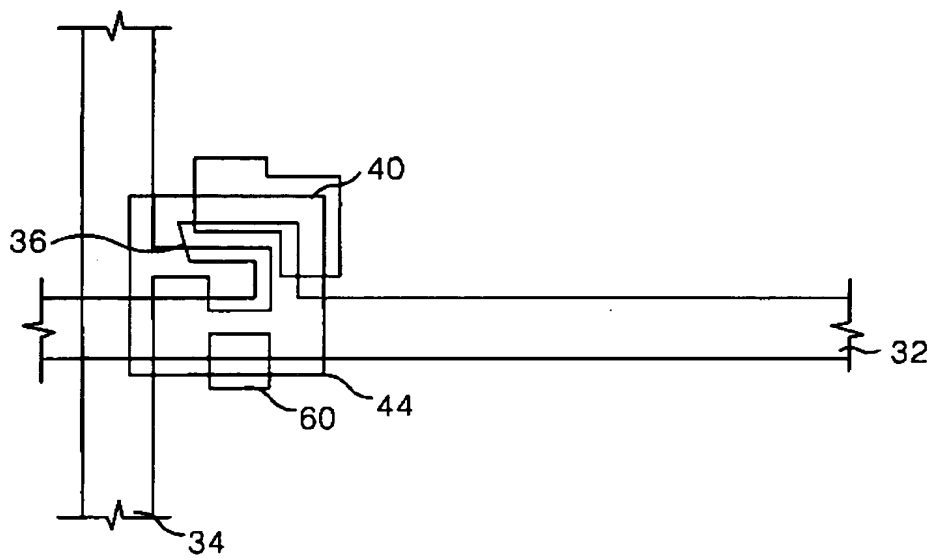
【도 11a】



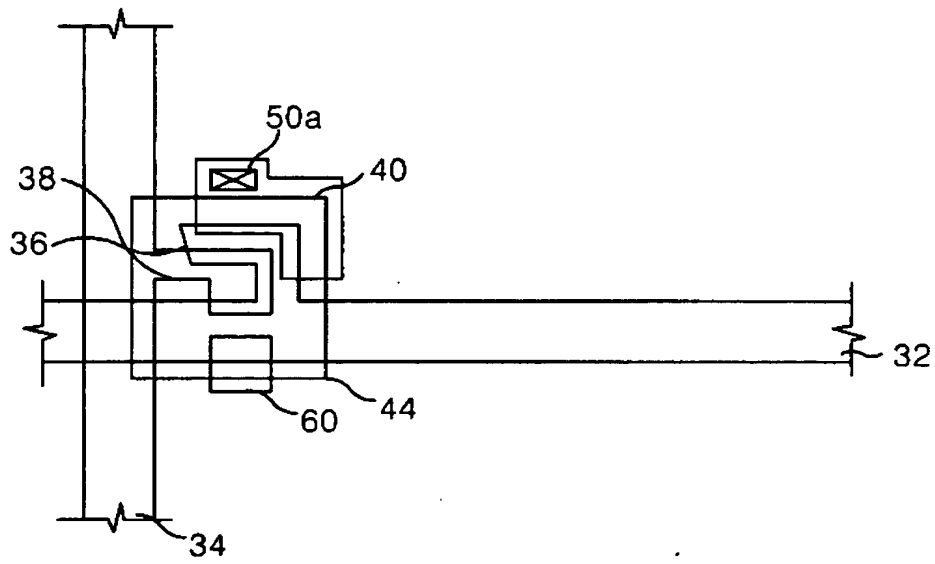
【도 11b】



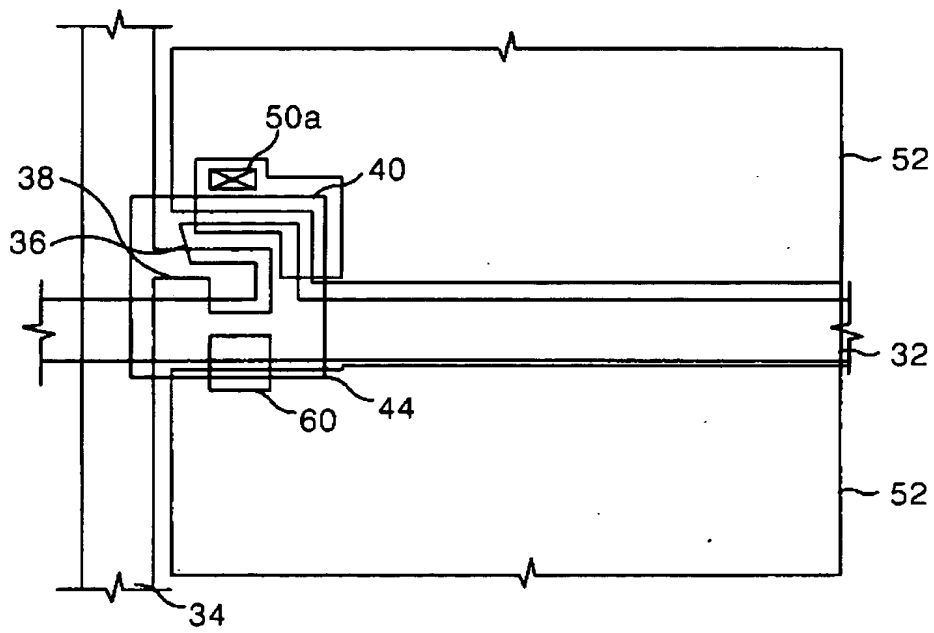
【도 11c】



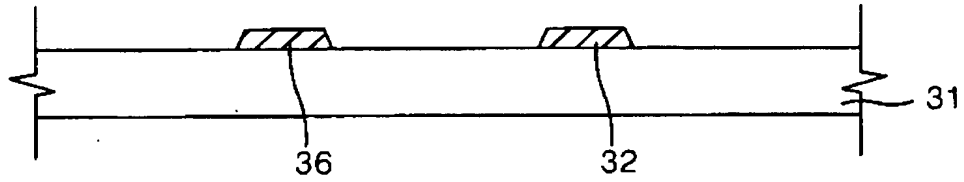
【도 11d】



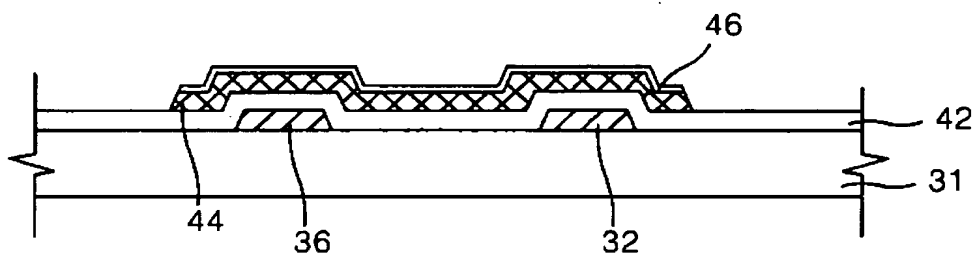
【도 11e】



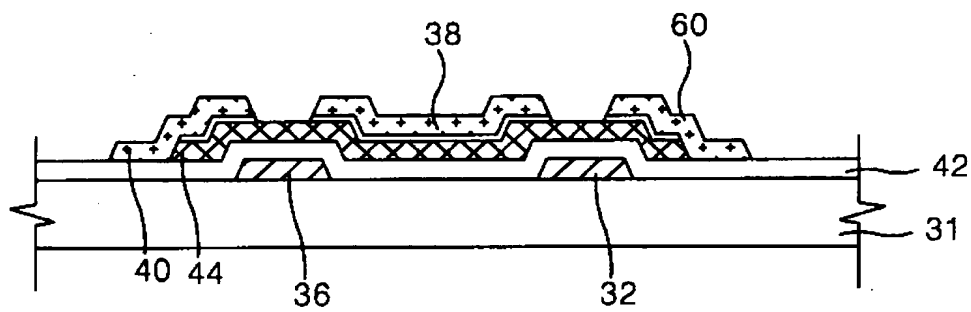
【도 12a】



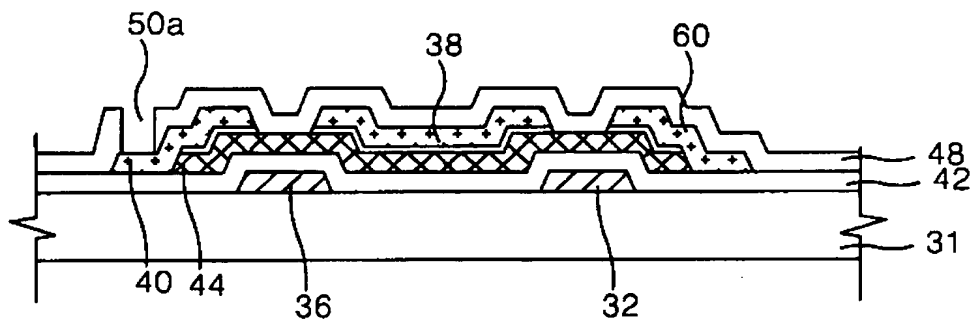
【도 12b】



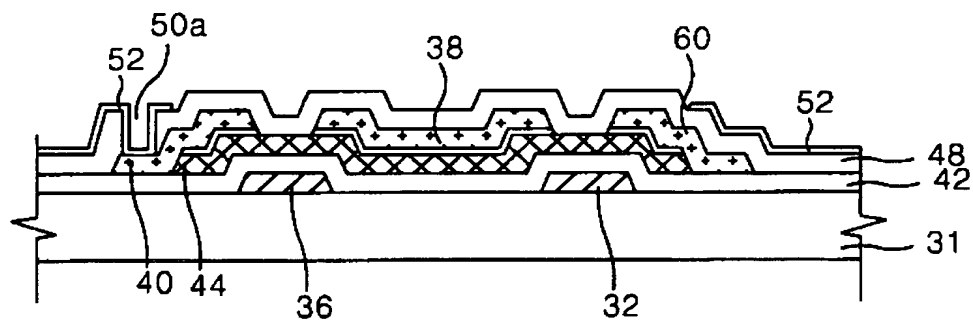
【도 12c】



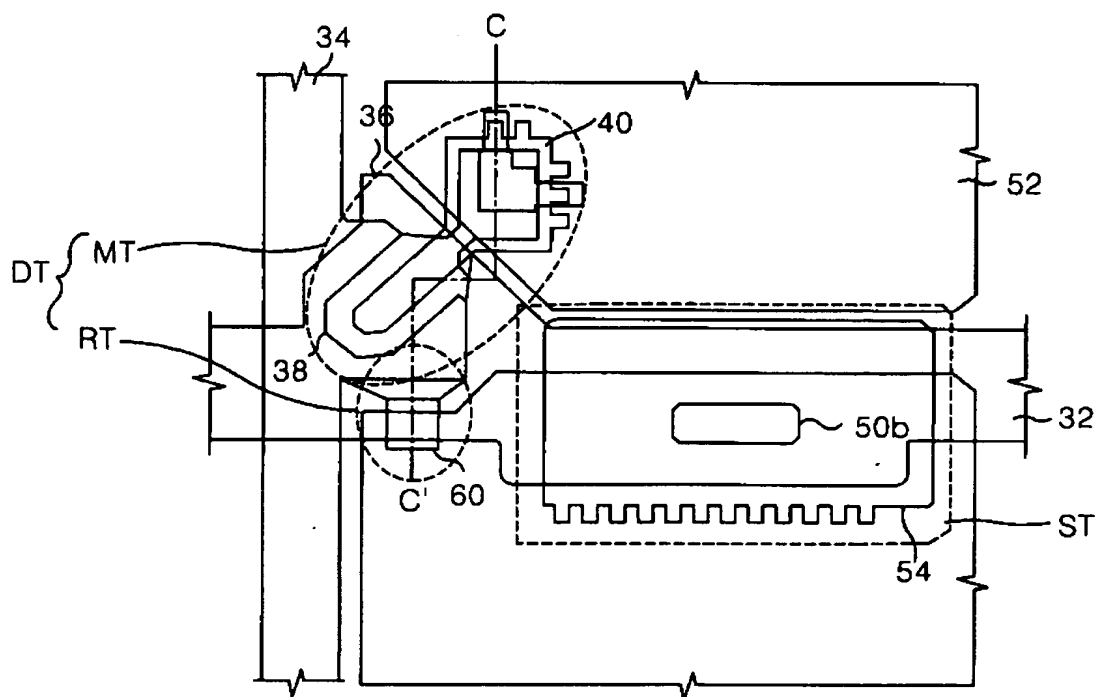
【도 12d】



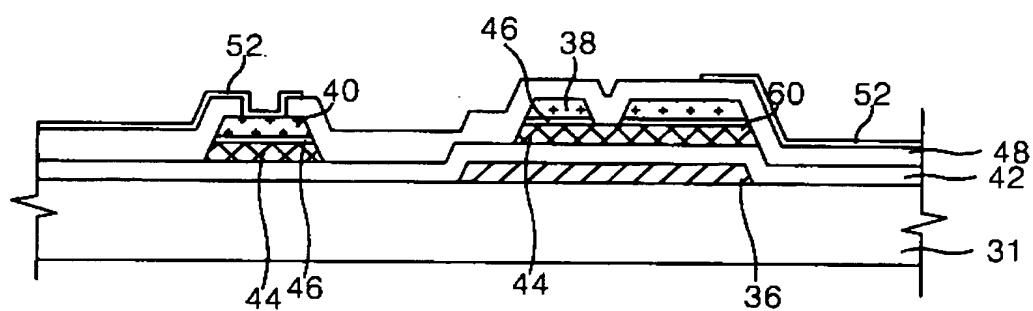
【도 12e】



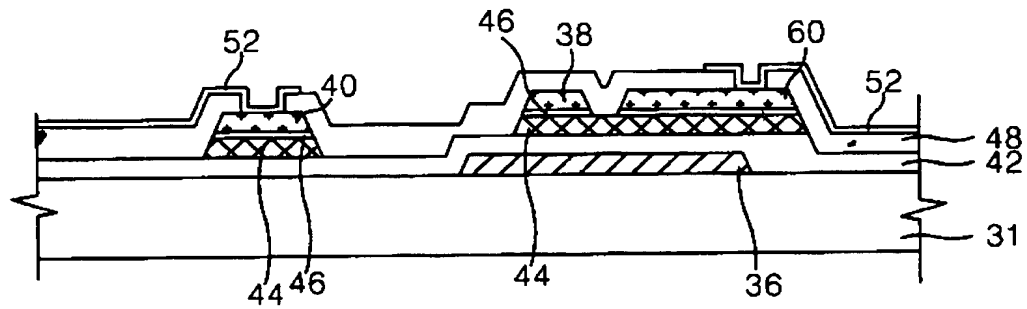
【도 13】



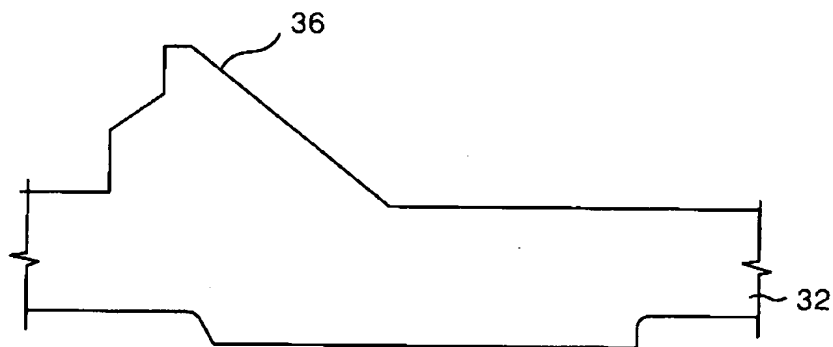
【도 14】



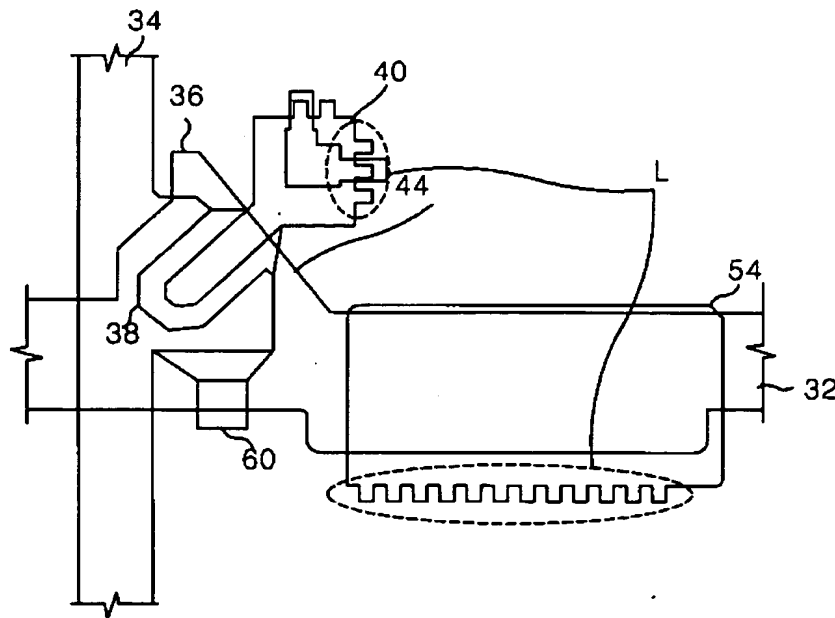
【도 15】



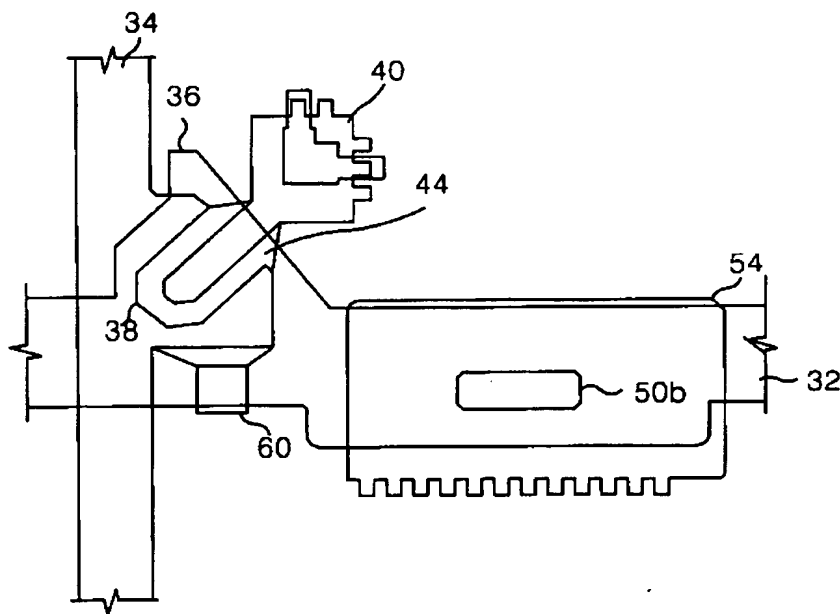
【도 16a】



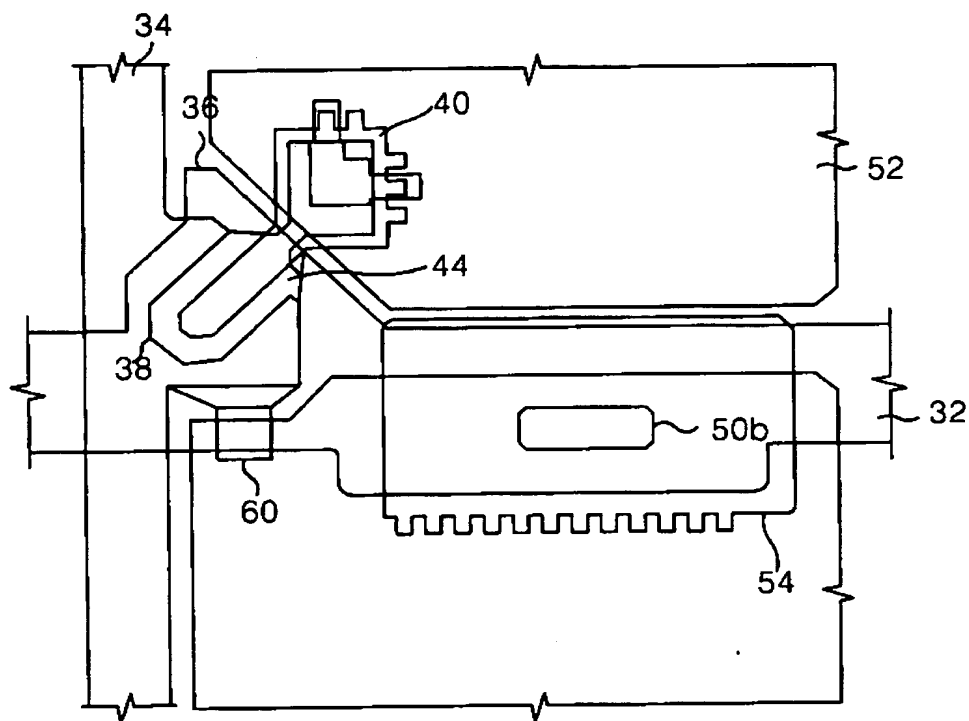
【도 16b】



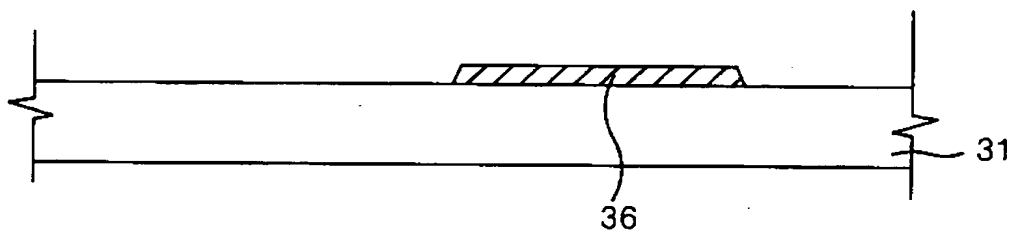
【도 16c】



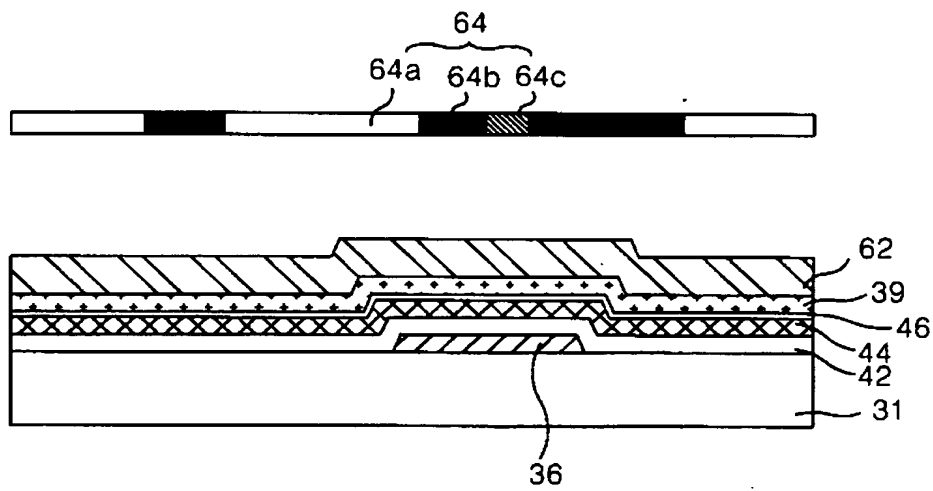
【도 16d】



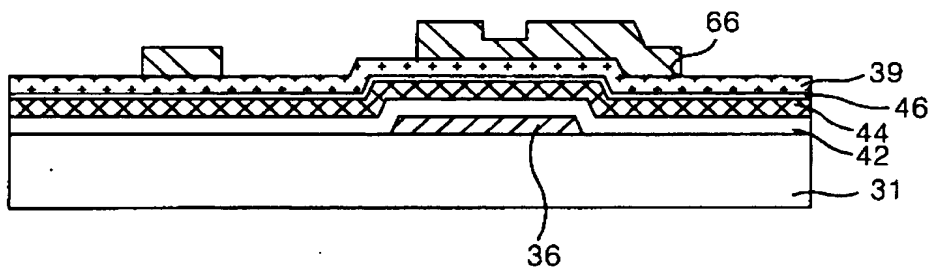
【도 17a】



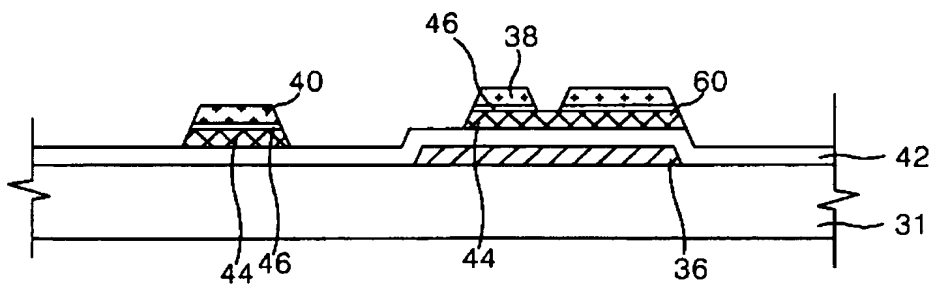
【도 17b】



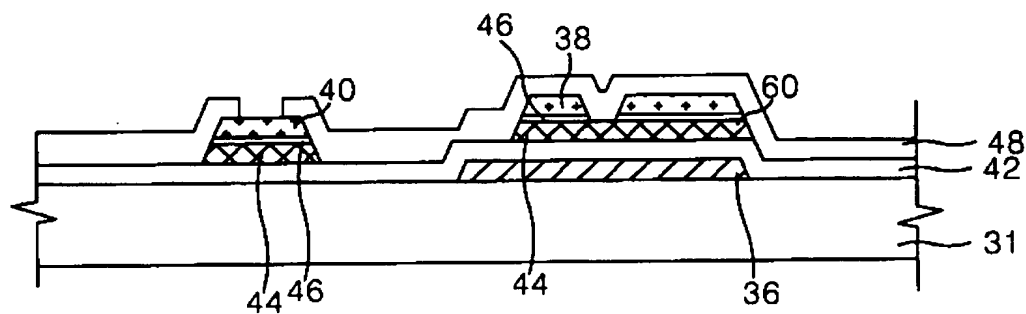
【도 17c】



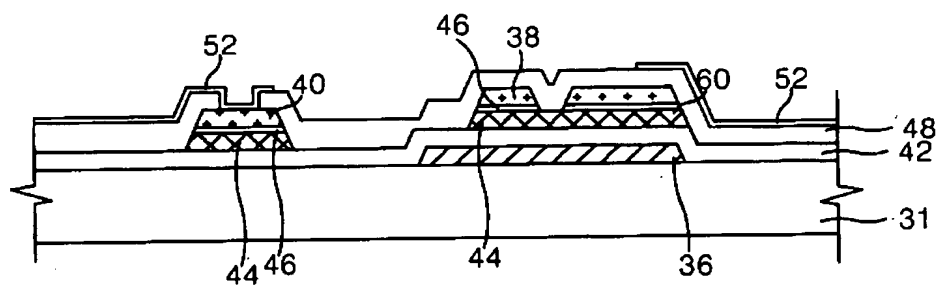
【도 17d】



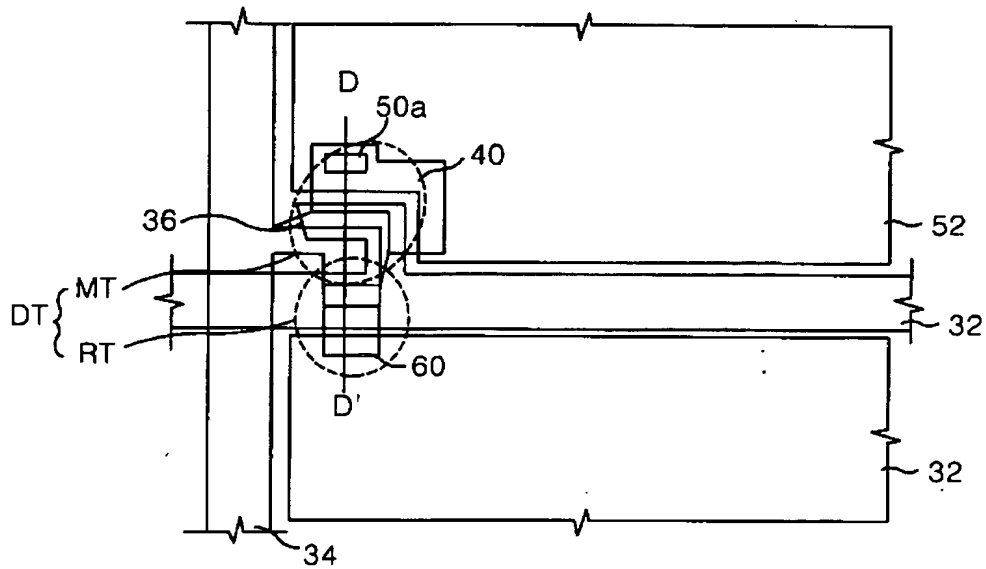
【도 17e】



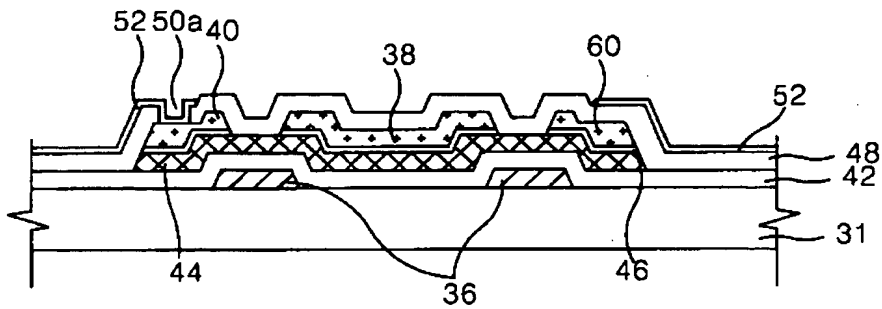
【도 17f】



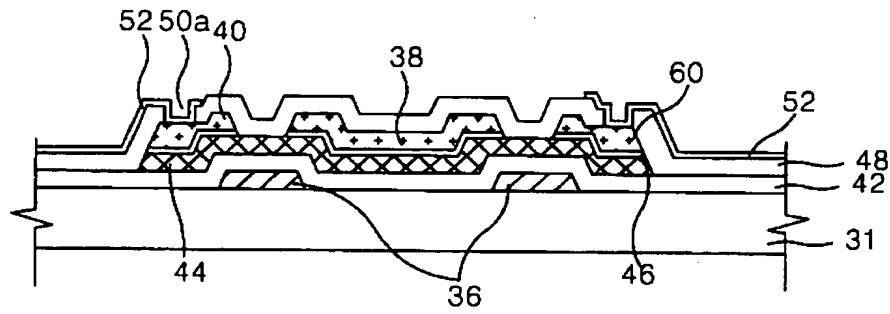
【도 18】



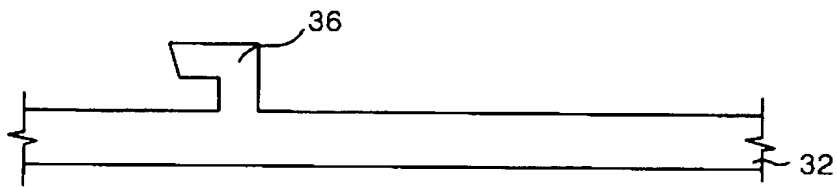
【도 19】



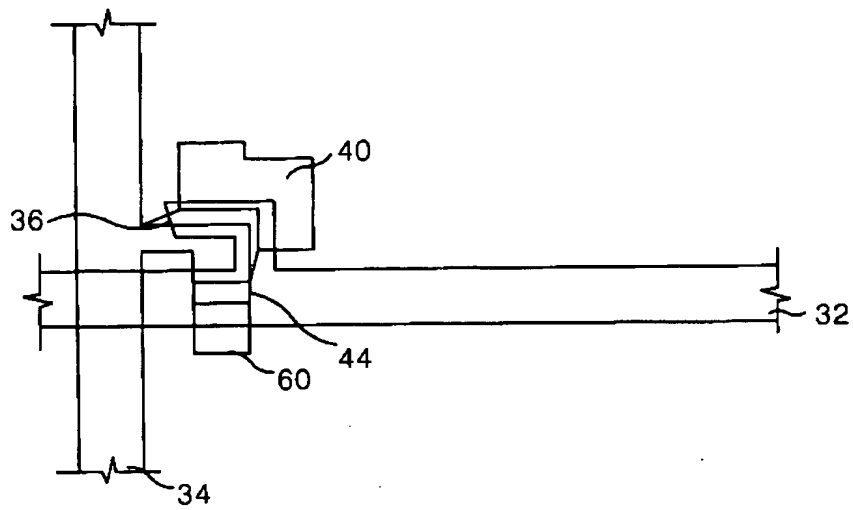
【도 20】



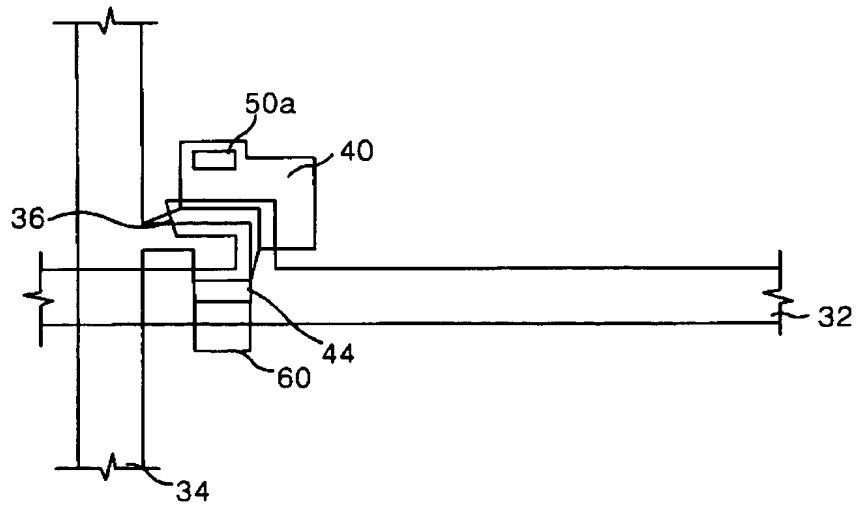
【도 21a】



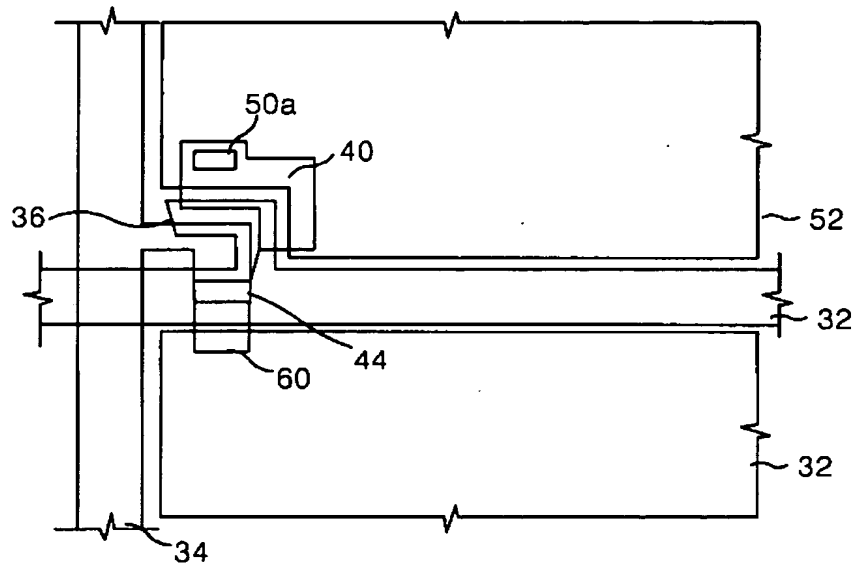
【도 21b】



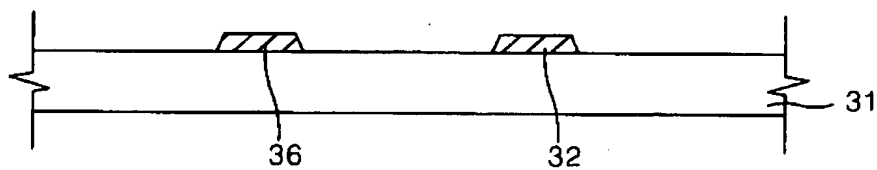
【도 21c】



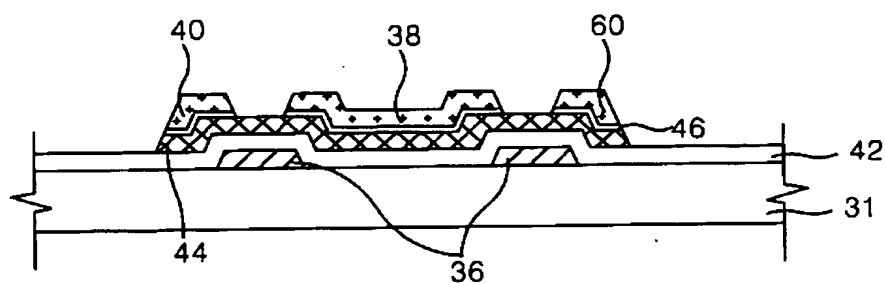
【도 21d】



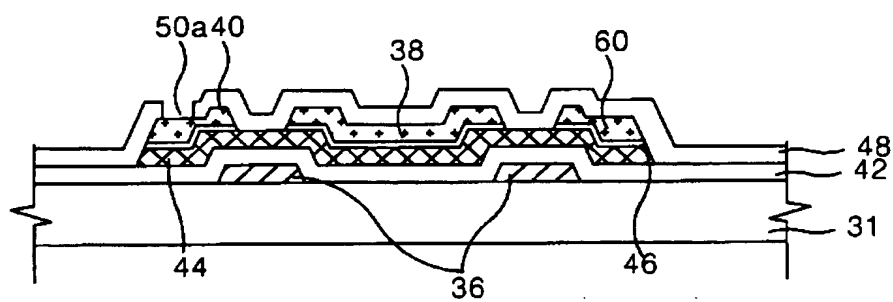
【도 22a】



【도 22b】



【도 22c】



【도 22d】

